N° d'ordre : 3071

THÈSE

présentée

A L'UNIVERSITÉ DE PARIS-SUD

CENTRE D'ORSAY

pour obtenir le titre de Docteur 3è Cycle

SPÉCIALITÉ : **ELECTRONIQUE**

par

Monsieur Jean-Paul MORIN

SUJET DE LA THÈSE :

CONTRIBUTION A L'ÉTUDE DE CIRCUITS MÉMOIRE INTÉGRÉS SUR ARSÉNIURE DE GALLIUM.

soutenue le 18 Septembre 1981 devant la Commission d'Examen :

Messieurs	R. CASTAGNÉ	Président
	G. BERT	Examinateur
	M. HENRY	Examinateur
	G. NUZILLAT	Examinateur
	G. REY	Examinateur.

N° d'ordre :

THÈSE

présentée

A L'UNIVERSITÉ DE PARIS-SUD

CENTRE D'ORSAY

pour obtenir le titre de Docteur 3è Cycle

SPÉCIALITÉ : **ELECTRONIQUE**

par

Monsieur Jean-Paul MORIN

SUJET DE LA THÈSE :

CONTRIBUTION A L'ÉTUDE DE CIRCUITS MÉMOIRE INTÉGRÉS SUR ARSÉNIURE DE GALLIUM.

soutenue le 18 Septembre 1981 devant la Commission d'Examen :

Messieurs	R. CASTAGNÉ	Président
	G. BERT	Examinateur
	M. HENRY	Examinateur
	G. NUZILLAT	Examinateur
	G. REY	Examinateur.

UNIV.
LEIDEN
BIBL.

ABSTRACT

This work is devoted to the design of memory circuits by means of MESFET logic approaches, especially those based on enhancement-mode transistors, operating with pinchoff voltage around 0.0V.

Different solutions, within the capabilities of today's technology, for each subcircuits (like memory cell,decoder, write circuits and sense amplifier) have been examined.

An ultra-high-speed fully decoded 8 bits static random access memory whose typical access time is 600 ps for a total power consumption of 80 mW has been designed and implemented.

Finally, the performances achievable with memories of 256 bits and 1Kbit are estimated.

Key words

GaAs, MESFET logic, circuit design, random access memory

Cette étude a été menée au sein du laboratoire "Circuits Numériques Rapides" du Laboratoire Central de Recherche de la THOMSON-CSF, dirigé par Monsieur G. NUZILLAT.

Je suis particulièrement reconnaissant à Monsieur G. NUZILLAT de m'avoir accueilli parmi son équipe.

Je remercie vivement Monsieur le Professeur R. CASTAGNE de la faculté d'Orsay qui me fait l'honneur de présider la commission d'examen.

Je sais gré à Monsieur le Professeur G. REY du Laboratoire d'Automatique et d'Analyse des Systèmes et à Monsieur M. HENRY du Centre National d'Etude des Télécommunications pour l'intérêt qu'ils portent à ce travail.

Je suis très heureux que G. BERT fasse parti de ce jury. Je le remercie tout particulièrement pour m'avoir guidé le long de cette étude. Son soutien constant a contribué grandement à l'aboutissement de ce travail.

Je tiens aussi à adresser tous mes remerciements à tous ceux qui ont contribué à la réalisation et aux tests des circuits présentés, ainsi qu'à Madame C. LE GALLOU pour le soin qu'elle a mis à la présentation de ce mémoire.

Digitized by the Internet Archive
in 2026

https://archive.org/details/IA41547318_0010

SOMMAIRE

INTRODUCTION

1 - OUTILS ET CONTEXTE

1.1. Le matériaux Arséniure de Gallium
1.2. Choix d'une technologie : Bipolaire ou Unipolaire ?
1.3. Fonctionnement du MESFET
1.4. Modèle CAO du transistor MESFET
1.5. Familles logiques à MESFET

2 - ELEMENTS CONSTITUTIFS DES CIRCUITS MEMOIRES - ORGANISATION

2.1. Unité de Mémorisation
2.2. Sélection des cellules - décodage
2.3. Système d'écriture
2.4. Système de lecture
2.5. Synoptique complet d'un CI mémoire

3 - EXEMPLES DE CONCEPTION A L'AIDE DE TRANSISTORS MESFET A FAIBLE SEUIL

3.1. Cellules mémoires
3.2. Accès aux cellules
3.2.1. Types de couplage réalisables en technologie MESFET
3.2.2. Choix d'un type de couplage
3.3. Système d'adressage
3.3.1. Etage tampon d'interface
3.3.2. Etage décodeur
3.3.3. Etage tampon d'entrée
3.4. Système de lecture
3.4.1. Charge des lignes de bit
3.4.2. Etage tampon de sortie
3.4.3. Système détecteur
3.5. Système d'écriture
3.5.1. Attaque des lignes de bit
3.5.2. Etage de commande

...

4 - ETUDE D'UN CIRCUIT TEST 4x2 BITS

4.1. Simulation globale

4.2. Réalisation expérimentale

5 - EXTRAPOLATION VERS DES CAPACITES PLUS GRANDES

5.1. Extrapolation de consommation

5.2. Extrapolation des performances dynamiques

5.3. Extrapolation de la complexité

5.4. Conclusions - Perspectives

CONCLUSION

ANNEXES : A - Modèle de transistor MESFET

B - Paramètres descriptifs des circuits mémoires - définition

C - Calcul du gain des charges de lecture

D - Présentation du processus de réalisation des circuits

E - Notation et symboles utilisés

BIBLIOGRAPHIE

...

INTRODUCTION

L'utilisation sans cesse croissante du "traitement de signal" dans de nombreux secteurs de l'électronique (radar, télécommunication,...) rend nécessaire la manipulation de débits d'informations élevés.

Ceci a été possible grâce aux performances réalisées dans l'intégration sur silicium de processeurs complexes. Malgré l'utilisation de nouvelles architectures (pipelines, multiprocesseur,...) et d'algorithmes de plus en plus sophistiqués, bon nombre d'applications se heurtent à la relative lenteur des opérations élémentaires (traversée de fonctions de transfert,...). On entrevoit donc clairement la nécessité de mettre au point des nouveaux dispositifs plus aptes, de part leur vitesse intrinsèque, à manipuler rapidement des grandes quantités d'informations échantillonnées.

Depuis plusieurs années, certains laboratoires ont commencé des recherches visant à définir de nouvelles familles logiques ultra-rapides. Les travaux les plus avancés concernent le développement des dispositifs cryogéniques utilisant l'effet Josephson (IBM, LETI, ..) et la réalisation de circuits intégrés sur Arséniure de Gallium (Hewlett-Packard, Hughes, LEP, Mac Donall Douglas, NEC, Plessey Rockwell, Thomson-CSF,...).

Sans vouloir supplanter le silicium qui reste le maître dans le domaine de la très haute densité d'intégration (VLSI), les circuits sur AsGa, dont la complexité triple chaque année depuis 1974, se sont rapidement hissés au niveau de l'intégration à grande échelle (LSI). Ils ouvrent ainsi la voie à la réalisation de dispositifs arithmétiques et logiques très rapides.

Citons par exemple le circuit le plus complexe réalisé à ce jour par Rockwell : il effectue la multiplication de deux mots de 8 bits en 5ns environ et est constitué d'à peu près 1000 portes logiques.

L'utilisation de ces nouveaux organes de calcul au sein d'un processeur complexe, rend nécessaire la mise au point de mémoires à très faible temps d'accès. Bien que deux publications [32] [33] fassent état de projets à plus ou moins long terme, aucune réalisation n'a été annoncée.

...

Dans le cadre de ses recherches sur les dispositifs LSI rapides, la THOMSON-CSF a décidé de développer ce genre de circuit. Ces travaux s'orientent dans trois directions :

- études d'architecture de circuits complexes (PLA, mémoire...)
- mise au point d'outils de conceptions adaptés aux réalisation (LSI)
- études technologiques visant à améliorer les familles logiques existantes en vue d'une diminution, à performances égales, de la consommation.

Avant de se lancer dans la réalisation de circuits de capacité "moyenne" (par exemple 1Kbit), il a été décidé de lancer une série de réalisations intermédiaires qui permettront :

- de vérifier les options topologiques retenues
- d'ajuster les méthodes de simulations utilisées
- d'extrapoler à des circuits plus complexes les performances dynamiques.

Le présent travail étudie la structure topologique de mémoires à accès aléatoire.

Après une présentation de l'architecture d'une mémoire (chap.2) où nous étudions les différents sous-ensembles la constituant, nous fournissons dans le chap.3 des exemples de solutions compatibles avec les possibilités actuelles de la technologie.

Muni de ces différents outils, nous avons pu simuler et faire réaliser un premier circuit test dont les performances apparaissent dans le chapitre 4.

Le chapitre 5 envisage la réalisation d'un circuit un peu plus complexe 64 x 1 bit et extrapôle ses performances en tenant compte des résultats obtenus avec le circuit test. Ce chapitre se termine par une comparaison des performances (temps d'accès, consommation) escomptées pour un circuit de 1 Kbit avec celles obtenues par quelques mémoires du commerce.

Avant d'aborder l'étude des circuits complexes que sont les mémoires électroniques, il peut être utile de faire une rapide synthèse des problèmes posés par la conception de familles logiques, à transistors à effet de champ, intégrées sur l'arséniure de gallium. Ce sera l'objet du premier chapitre.

1 - OUTILS ET CONTEXTE

1.1. LE MATERIAU ARSENIURE DE GALLIUM

Les raisons qui ont guidé le choix de l'arséniure de gallium comme support des circuits très rapides tiennent surtout aux propriétés de transport de ce matériau. Sur la figure 1.1, nous avons représenté les caractéristiques vitesse-champ électrique (pour les électrons) de l'Arséniure de Gallium [1] et du Silicium.

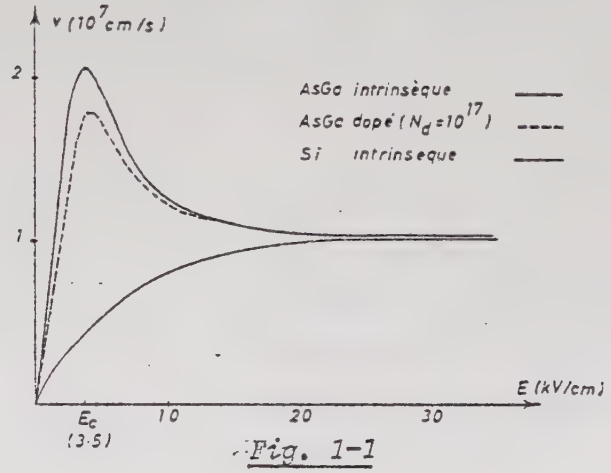


Fig. 1-1

On observe pour le premier une mobilité en champ faible $\mu = \frac{dv}{dE}$ plus importante (rapport 5) et une vitesse maximale plus grande (rapport 2) atteinte pour un champ électrique moins élevé. Le temps de transit des électrons dans le canal, fonction inverse de ce paramètre, favorise l'AsGa pour des dispositifs à fréquence de transition intrinsèque élevée.

Les caractéristiques du transport électronique dans l'AsGa peuvent facilement se déduire de la structure de la bande de conduction. Comme pour d'autres composés III-V présentant des propriétés analogues (InP, InAs), la bande de conduction possède une vallée centrale à faible masse effective où les électrons sont "légers" et des vallées satellites de masses effectives plus élevées où les électrons sont plus "lourds".

...

Ainsi, en régime stationnaire, la forte mobilité en champ faible est liée au transport en vallée centrale, la mobilité différentielle négative autour du champ de seuil traduit la contribution d'une partie des électrons alourdis après leur transfert en vallée latérale, la vitesse de saturation en champ fort caractérise un transport essentiellement localisé en vallée latérale.

Outre la forte mobilité en champ faible, le comportement non stationnaire, qui peut se déduire en première approximation de l'allure des caractéristiques statiques vitesse-champ et énergie-champ, présente un intérêt particulier. En effet, le passage d'un champ faible à un champ fort donne lieu à un phénomène dit de "survitesse" au cours duquel la vitesse moyenne des électrons peut être 6 à 7 fois plus élevée que la vitesse maximale stationnaire. Ce phénomène, négligeable dans le silicium intervient largement dans le fonctionnement des FET AsGa submicroniques.

Ajoutons les caractéristiques importantes suivantes :

- une largeur de bande interdite plus élevée que le silicium (1.43 eV contre 1.1) qui conduit, à dopage identique, à des tensions de claquage plus grandes. Les limites théoriques à une réduction de géométrie s'en trouvent reculées
- la possibilité de réaliser, par compensation, d'un substrat "semi-isolant" ($\rho \simeq 10^7 \Omega.cm$) qui, utilisé comme support des couches actives permet une diminution des capacités parasites et des courants de fuite. Notons cependant, à l'interface substrat SI-couche active N, l'existence d'une barrière de potentiel due à la présence de charges négatives par les centres compensateurs. La zone de déplétion qui en résulte gouverne la conductance que l'on observe sur les caractéristiques courant-tension des FET après saturation (i.e. après le coude des caractéristiques) [2].
- le piégeage, en surface, du niveau de Fermi vers le milieu de la bande interdite, favorise la réalisation de jonction Schottky à hauteur de barrière ϕ_B élevée (0.8 V contre 0.4 V pour le silicium) et quasi-indépendante du type de métal déposé. Ce phénomène se traduit par l'existence en surface d'un potentiel électrostatique Ψ_{SS} négatif par rapport au volume du matériau [5]. L'existence de ce potentiel est responsable de certaines difficultés rencontrées partout où une bonne caractérisation de la couche est nécessaire (résistances, zone d'accès des transistor, ...) ainsi que dans la réalisation de dispositifs demandant une maîtrise de l'état de surface (MOS, CCD ...).

1.2. CHOIX D'UNE TECHNOLOGIE - BIPOLAIRE OU UNIPOLAIRE

C'est le composant de base (transistor bipolaire ou unipolaire) qui, par ses caractéristiques intrinsèques, fixe les limites de vitesse accessibles [3], [26]. Les performances réellement obtenues dépendent aussi des éléments parasites, internes au composant (résistances d'accès, charges stockées ...) ou introduits par le processus d'intégration (interconnexions, ...). Outre les considérations purement théoriques qui permettent de faire une comparaison entre les différentes filières technologiques (énergie de commutation, non linéarité, excursion logique ...), le choix du composant de base utilisé dans les circuits AsGa s'est surtout fait sur des critères technologiques qui dépendent de l'état de l'art à l'instant présent.

La relative facilité avec laquelle on peut réaliser des jonctions Schottky s'oppose aux problèmes de réalisation de transistors MOS ou à jonctions diffusées. Pour les premiers, la difficulté de réaliser une couche diélectrique présentant une faible densité d'états de surfaces, nuit à une bonne reproductibilité et ne permet pas un fonctionnement basse fréquence satisfaisant [4]. Quant aux recuits, indispensables à la réalisation de diffusions, la très mauvaise tenue de l'AsGa en haute température nécessite une encapsulation du matériau, et impose l'utilisation de l'implantation ionique.

Restent les FET à grille Schottky, qu'une bonne maîtrise des dépôts métalliques a permis de réaliser. Ces dispositifs utilisent au mieux les caractéristiques intrinsèques de l'Arséniure de Gallium ($f_T \simeq 20$ GHz typique). Ils sont aujourd'hui couramment utilisés, aussi bien dans les circuits hyperfréquences que dans les circuits logiques.

1.3. STRUCTURE ET DESCRIPTION QUALITATIVE DU FONCTIONNEMENT DU MESFET

Le transistor à effet de champ à grille Schottky ou MESFET (Metal Semiconductor Field Effect Transistor) est constitué d'un barreau de semiconducteur formé à partir d'une couche de type N, sur un substrat semi-isolant. Entre deux contacts ohmiques constituant la "source" et le "drain", a été déposée une mince bande de métal, la "grille", qui constitue, avec la couche N sous jacente, une jonction de type Schottky de hauteur de barrière ϕ_B (fig. 1.2)

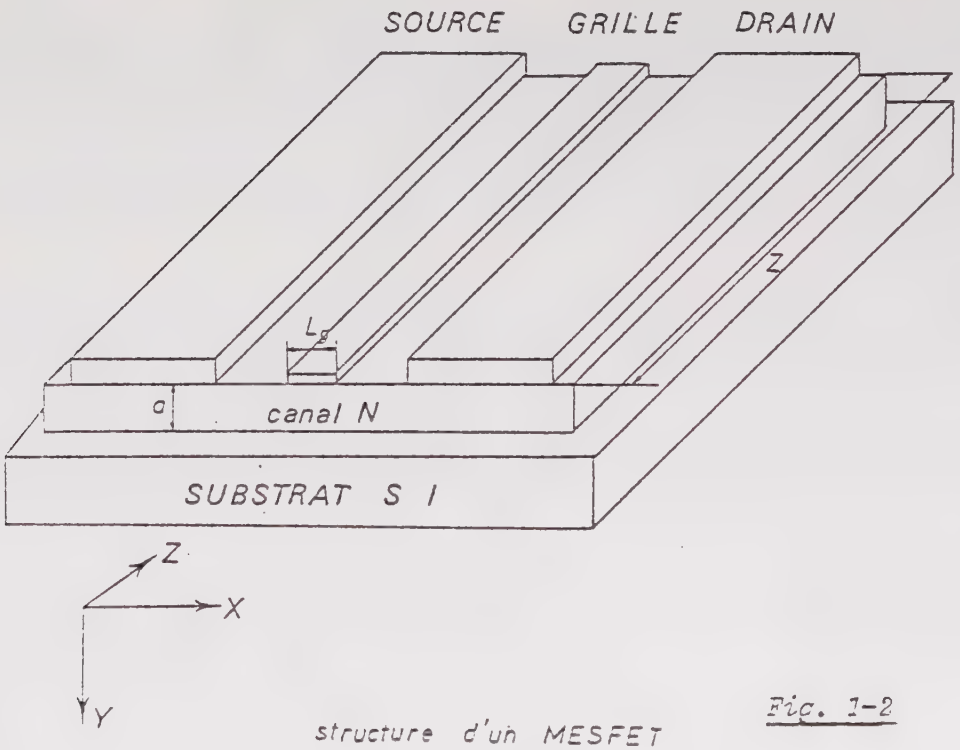
Tous les potentiels étant référencés par rapport à la source, supposons que nous relions source et drain. Le canal étant équipotentiel, nous sommes en présence d'une diode Schottky entre grille et canal. Rappelons ci-dessous ses principales caractéristiques :

...

i - en l'absence de tension appliquée sur la grille, il existe une zone déserte naturelle dont l'extension est fixée par le potentiel de diffusion V_{Bi}. Il est à noter que la dépendance théorique entre V_{Bi} et la hauteur de barrière ϕ_B, caractéristique de l'ensemble métal-semiconducteur, n'est dans le cas de l'AsGa jamais respectée. Ces deux paramètres restent, du fait des états de surface fixés vers 0.8 V , quasi indépendemment du type de dépôt réalisé.

ii - l'application d'une tension négative sur la grille, a pour conséquence d'accroître cette zone de charge d'espace et de faire circuler un courant inverse très faible.

iii - une polarisation positive V_G sur la grille a pour effet de réduire la zone de charge d'espace jusqu'à une valeur théoriquement nulle, atteinte pour la valeur V_{Bi} (bande plate dans le semiconducteur). Autour de cette valeur, un courant important circule dans la diode. (le potentiel de diffusion apparait donc comme la valeur maximale du potentiel positif applicable sur la grille d'un MESFET.



structure d'un MESFET

Fig. I-2

Supposons maintenant la grille maintenue à un potentiel fixe par rapport à la source et appliquons une tension drain-source V_{DS} positive. Il est logique de penser que le potentiel dans le canal varie continuement de 0 à V_{DS}, au fur et à mesure que l'on se déplace vers le drain. La jonction grille-canal va donc présenter à ses bornes une tension de plus en plus négative. L'extension de la zone déserte qui en résulte, maximale côté drain, entrainera une diminution de la section effective du canal et une augmentation de sa résistance globale. Si l'on augmente V_{DS}, le champ électrique longitudinal dans le canal croît jusqu'à atteindre sa valeur critique, pour laquelle la vitesse des porteurs - donc le courant - sature. Dans ces conditions, les simulations bidimensionnelles du fonctionnement montrent l'existence sous la grille d'une zone d'accumulation de porteurs suivie côté drain par une désertion partielle. L'existence d'un tel dipôle explique la conductance non nulle que l'on observe en saturation. Celle-ci serait due à une déformation de la zone déplétée à l'interface zone active - substrat, entrainant un élargissement du canal [2].

La tension sur le drain où apparait cette saturation est appelée "tension de coude". Tant que V_{DS} reste inférieur à cette valeur, le transistor est en "régime linéaire", au-dessus il est dit "en régime de saturation".

Si maintenant nous appliquons une tension moins positive sur la grille, la zone déserte s'étend plus profondément, augmentant par conséquent la résistance du canal en régime linéaire. Tout ce que nous avons dit précédemment reste vrai mais le champ critique est atteint plus tôt, pour une tension drain-source plus faible.

Si l'on continue de diminuer algébriquement V_{GS}, il arrive un moment où la zone de charge d'espace de grille rejoint celle située à l'interface canal-substrat. Aucune charge ne peut circuler : le canal est alors "pincé". La tension de grille correspondante est un paramètre fondamental du transistor à effet de champ. On l'appelle "tension de seuil" V_T.

Il est intéressant de regarder quelle est la tension réelle aux bornes de la zone déserte de grille. Celle-ci s'obtient par intégration de l'équation de Poisson, avec les conditions aux limites :

- champ transversal nul dans le canal conducteur
- tension nulle sur la grille (référence des potentiels)

...

Cette tension dépend de la profondeur de pénétration w de cette zone de charge d'espace. Lorsque tout le canal est déserté (w = a), la tension résultante est appelée tension de pincement et a pour valeur :

$$V_P = \frac{q}{\varepsilon} \int_0^a x\, N(x)\, dx$$

a = épaisseur de la couche active
N(x) = profil du dopage

Il ne faut pas confondre V_P avec la tension de seuil V_T qui est le potentiel à appliquer sur la grille pour pincer le canal. Ces deux tensions sont reliées entre elles par l'intermédiaire du potentiel de diffusion V_{Bi} :

$$V_P = - V_T + V_{Bi}$$

Le signe négatif vient du fait que V_{Bi} et V_P sont définis de la grille vers le canal alors que V_T est dans le sens contraire.

Suivant la valeur de V_P par rapport à V_{Bi} on peut distinguer deux classes de transistors.

- $V_{Bi} < V_P \rightarrow V_T < 0$: le transistor est passant pour une tension grille-source nulle. Ce type de composant est dit à appauvrissement ou "normally-on"
- $V_{Bi} > V_P \rightarrow V_T > 0$: aucun courant ne circule dans le FET au repos. On parle alors de transistor à enrichissement ou "normally-off"

1.4. PRESENTATION D'UN MODELE DE FONCTIONNEMENT DU MESFET UTILISABLE DANS LES PROGRAMME DE SIMULATION DE CIRCUIT *

Un modèle est un support plus ou moins imagé contenant suffisamment d'information pour permettre la description approchée d'un groupe de phénomènes physiques ou autres. Dans le cadre qui nous intéresse, un modèle se traduit généralement par un système d'équations intégro-différentielles et par un jeu de conditions aux limites bien précises. La solution de ces équations (continuités, Poisson ...) nécessite généralement un traitement tridimensionnel ou bidimensionnel suivant les symétries [2]. De tels modèles, on le conçoit aisément sont très gourmands en temps machine mais ce sont les seuls qui permettent d'appréhender la réalité physique des phénomènes à étudier.

---

* On désignera ainsi les programmes qui résolvent les équations électriques internes au circuit (par ex : IMAG, ASTEC, CIRCEC, SPICE ...), par opposition aux macromodélisateurs qui s'occupent uniquement d'obtenir une relation entre entrée et sortie [27].

A la lumière de telles modélisations, il est parfois possible de localiser certaines régions pour lesquelles une solution analytique est possible. Celles-ci feront souvent appel à une "analogie" avec des composants classiques (diodes, résistances, capacités ...) aisément manipulable par l'électronicien. Il ne s'agit plus alors d'une solution physique au problème mais d'une équivalence mathématique. C'est ce genre d'approche que nous allons présenter maintenant en étudiant la modélisation des MESFET sur Arséniure de Gallium. Nous étudierons successivement :

- le comportement du canal sous la grille
- les zones d'accès au canal proprement dit
- l'injection de courant de la grille vers le canal
- le comportement transitoire du dispositif

1.4.1- Modélisation du canal intrinsèque sous la grille :

Dès 1952 [7] Shockley propose un modèle analytique pour décrire la caractéristique courant-tension du transistor à effet de champ à jonction FET. Rappelons qu'il propose, dans un canal uniformément dopé (densité N_D) et à mobilité constante, de séparer la zone active en deux partie distinctes, délimitées par une frontière abrupte :

- sous la grille, une zone vide de porteurs décrite par l'équation de Poisson
- une zone quasi-neutre qui constitue le canal effectif et dans laquelle l'équation de Laplace est satisfaite

Ce problème bidimensionnel peut être étudié avec les hypothèses simplificatrices suivantes (hypothèse graduelle)

$$\begin{cases} \Delta V = d^2V/dy^2 \text{ dans la zone déserte} \\ dV/dy = 0 \text{ dans le canal neutre (champ électrique transversal nul)} \end{cases}$$

Dans ce cas, l'équation électrostatique dans la zone de charge d'espace et l'équation du courant dans le canal neutre permettent de déterminer la loi de variation du courant de drain I_D en fonction de la tension drain-source V_{DS} pour une polarisation de grille donnée (Annexe A)

$$i = \frac{I_D}{I_{max}} = S(u_D) - S(u_S) = S(u_{DS} + u_S) - S(u_S) \qquad (1)$$

avec :

$$u_x = \frac{V_{Bi} - V_x}{V_P} \qquad u_{DS} = \frac{V_{DS}}{V_P}$$

...

$I_{max} = \frac{2\,\varepsilon\,\mu}{3a}\ V_P^{\,2}\ \frac{Z}{Lg}$ = courant maximum admissible dans le transistor :

Z : largeur du transistor
Lg : longueur de grille

$S(x) = x\ (3 - 2\sqrt{x})$ "fonction de Shockley"

Les limites de validité de ce modèle sont données par les conditions d'existence de la zone de charge d'espace (conduction de la grille) d'une part : $V_{GS} < V_{Bi}$, $V_{GD} < V_{Bi}$, et de non pincement du canal : côté source $V_{GS} > V_T$, ou côté drain $V_{GD} > V_T$. Ce qui donne pour les variables réduites :

$$0 < u_s < 1 \qquad 0 < u_D < 1 \qquad 0 < u_{DS} < 1 - u_S$$

Remarque : L'existence de puissances fractionnaires dans l'expression du courant drain rend sa manipulation malaisée à utiliser. Pour cette raison, on lui préfère souvent une expression approchée polynomiale $S(x) \simeq x\ (2 - x)$.

Au voisinage de la tension de coude $V_{DS} = V_{GS} - V_T$, le courant drain s'écrit ainsi d'une manière très simple :

$$I_D = \gamma^{**}\ \frac{Z}{Lg}\ (V_{GS} - V_T)^2 \qquad (2)$$

$\gamma^{**} = \frac{2\,\varepsilon\,\mu}{3a}$ est appelé facteur de pente intrinsèque idéal, dont l'importance apparaîtra plus tard.

Avant le coude, l'expression du courant peut être écrite :

$$I_D = \gamma^{**}\frac{Z}{Lg}\ (2\ (V_{GS} - V_T).\ V_{DS} - V_{DS}^{\,2}) \qquad (2')$$

Ce modèle, permettant d'exprimer d'une manière très simple le fonctionnement du dispositif, a nécessité la formulation d'hypothèses qui, dans les cas qui nous intéressent, ne sont généralement pas respectées :

- Dopage uniforme, désertion totale

  Ces hypothèses ne tiennent pas compte d'une zone qui s'étend sur quelques longueurs de Debye L_D et dans laquelle le canal n'est ni électriquement neutre, ni complètement déserté.

...

L'influence de celle-ci est d'autant plus grande que la tension de seuil est faible. Par exemple :

$$V_T = 0.0\ V,\quad N_D = 10^{17} \rightarrow a = 960\ \text{Å} \quad \text{et} \quad L_D = \sqrt{\frac{\varepsilon\ U_T}{q\ N_D}} = 130\ \text{Å}$$

- Approximation graduelle

Elle est d'autant plus fausse que le rapport Lg/a est faible et en tous cas, jamais respectée aux extrémités de la grille.

- Mobilité constante

Dans tout ce qui précède, nous n'avons jamais tenu compte de la caractéristique vitesse-champ électrique du matériau (fig. 1.1). Pour l'Arséniure de Gallium, la faible valeur du champ critique nous oblige à prendre en compte un phénomène de saturation de vitesse des porteurs dans le canal qui atténue le courant maximum dans le canal. Ce phénomène est d'autant plus important que la tension de seuil est plus négative. Un formalisme simple donné dans l'annexe A permet de déterminer la valeur de ce courant de saturation et de réécrire la relation courant-tension en tenant compte de ce nouveau paramètre.

Cette description du courant-drain impose à celui-ci d'être constant pour V_{DS} supérieur à la tension de coude. Pratiquement, on observe une croissance de ce courant avec la tension drain-source. Pour en tenir compte, nous ajoutons à notre expression du courant-drain un terme de conductance parasite, nul lorsque le transistor est totalement bloqué, et qui augmente avec la tension grille.

$$I_D = \gamma^{**}\frac{Z}{Lg}\ V_P^2 . \Omega .\ S\left(\frac{u_{DS}}{\Omega} + u_S\right) - S\ (u_S) + Z\ g_c\ V_P^2 (1 - u_S)\ u_{DS} \qquad (3)$$

1.4.2- Modélisation des zones d'accès au canal

Dans le calcul précédent, nous avons fixé les potentiels en x = 0 et x = Lg égaux respectivement aux tensions de source et de drain. Compte-tenu de la géométrie du transistor, ces conditions ne sont jamais respectées. Les portions de la couche active comprises entre l'électrode de drain (ou de source) et l'extrémité du canal intrinsèque (x = Lg et x = 0) peuvent être modélisées par de simples résistances dont la valeur dépend des dimensions géométriques de la zone d'accès, des caractéristiques physiques de la couche et de la qualité du contact ohmique entre l'électrode et la couche d'AsGa (annexe A).

...

Côté drain, cette résistance d'accès n'a pas de rôle particulier si ce n'est d'induire une légère chute de tension. Par contre, côté source, elle provoque une contre réaction courant-tension qui a pour conséquence de diminuer la tension de commande V_{GS} intrinsèque, par rapport à la différence de potentiel appliquée effectivement entre les électrodes de grille et de source V_{GoSo}. Il en résulte une diminution du courant circulant dans le transistor. On représente ce phénomène en définissant une pente quadratique extrinsèque γ définie par la relation :

$$I_D = \gamma \frac{Z}{Lg} (V_{GS} - V_T)^2$$

Remarque : On constate sur cette relation que les trois paramètres caractéristiques d'un MESFET sont Lg, γ , V_T. La caractérisation statique d'un transistor peut donc s'effectuer très facilement, à partir du réseau de courbes $I_D(V_{DS})$ en approximant la loi précédente (régression) pour déterminer V_T et γ .

Nous avons vu au § 1.1 qu'il existe en surface de l'AsGa une zone déserte en porteurs, caractérisée par un potentiel de surface Ψ_{SS}. La réduction de l'épaisseur de la zone d'accès qui en résulte se fera d'autant plus sentir que la couche était initialement mince, c'est-à-dire pour les FET normally-off. Afin d'éviter une dégradation des performances due à la trop forte valeur de la résistance de source, on utilise une technologie à canal creusé [5], [8]. Partant d'une couche initiale assez épaisse ($V_{To} \simeq$ -2 V, 2000 Å) on usine localement le canal avant de déposer la grille. Ceci afin de permettre un ajustement de la tension de seuil, sans modifier les zones d'accès (fig. 1.3). Signalons que d'autres méthodes (implantation localisée, jonction PN, ...) permettent d'obtenir le même résultat.

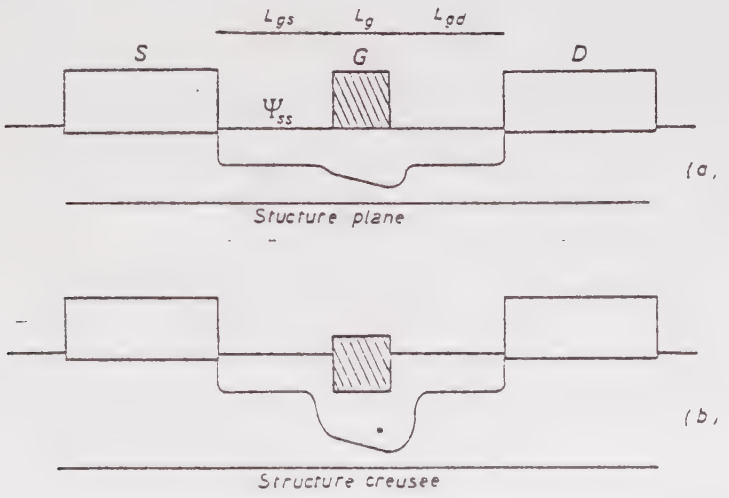


Fig. 1-3

...

Sur la fig. 1.4, on a reporté, en fonction de la tension de pincement et pour les deux structures technologiques (plane et creusée), le facteur de pente extrinsèque γ . On remarque que par rapport à la structure creusée, le facteur γ d'une structure plane est toujours plus faible. Pour $V_P < \Psi_{SS}$ ($\simeq 0.5$), le transistor est pincé et il ne passe aucun courant. Pour évaleur l'influence de cette résistance d'accès, le facteur de pente, pour une résistance nulle γ^* a été tracé dans le même graphique.

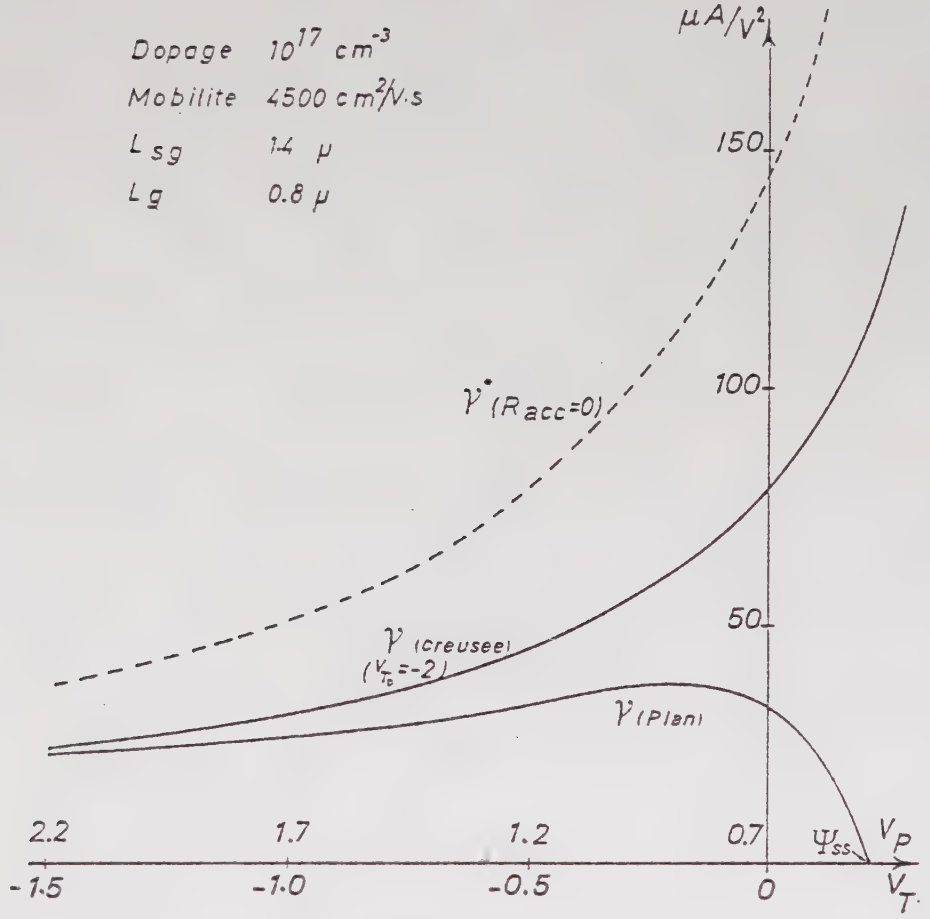


Fig. 1-4

...

1.4.3- Modélisation de la conduction de la grille

Pour diminuer la puissance consommée dans les circuits logiques, on est amené à utiliser des transistors à effet de champ à faible tension de seuil (normally-off), donc à polariser la grille avec des tensions positives. Dans ce cas, on ne peut plus négliger le phénomène de conduction entre grille et canal. Quand la tension drain-source est faible, ce courant de grille se répartit équitablement sur toute la surface de la grille. Par contre, quand V_{DS} augmente, seul le courant grille-source est à prendre en compte. On modélise ce comportement par deux diodes, l'une entre grille et source, l'autre entre grille et drain (Annexe A).

1.4.4- Modélisation du comportement transitoire du dispositif

Le modèle que nous avons jusqu'à présent examiné, permet de simuler le fonctionnement statique du MESFET, mais ne rend pas du tout compte de phénomènes transitoires modélisables uniquement par des éléments purement dynamiques tels que des capacités. Sur la fig. 1.5, nous avons représenté une section d'un canal de FET où les différentes régions caractéristiques ont été symbolisées par les élements appropriés. Outre les éléments déjà étudiés (résistance d'accès, canal intrinsèque, diodes d'entrée ...) nous pouvons distinguer :

- la zone de charge d'espace qui se présente comme la capacité de transition de la diode Schottky répartie sur toute la surface de la grille. Pour les faibles tensions V_{DS}, elle se répartit équitablement sur toute la surface de la grille, par contre, vers le coude, quand la zone déserte s'élargie côté drain, la majeure partie de cette capacité est située côté source

$$C_{GX} = \frac{C_{To}}{\sqrt{V_{Bi} - V_{GX}}} \frac{Z.Lg}{2} \qquad \text{avec} \qquad C_{To} = \sqrt{\frac{q\, N_D\, \varepsilon}{2}} \; (\simeq 10^{-3}\, pF/\mu^2)$$

Notons que pour représenter l'impédance d'entrée du transistor en haute fréquence, on incorpore une constante de temps (≃ 10 ps) dans le circuit de charge de C_{GS}. Celle-ci modélise le retard à l'établissement du courant drain, conséquence du temps de transit non nul des porteurs dans le canal.

...

- les capacités de bord de la zone de charge d'espace modélisables par des capacités cylindriques constantes avec la tension

$$C_b = \frac{\pi}{2} \cdot Z \cdot \varepsilon \qquad \simeq 1.5.10^{-4} \text{ pF/}\mu$$

- la capacité entre drain et source qui représente à la fois le domaine piégé sous la grille en saturation et la capacité interélectrode drain-source par l'intermédiaire du substrat. Cette capacité drain-source comporte deux termes, l'un est proportionnel à Z l'autre est constant, ce dernier terme représentant la capacité latérale aux extrémités des électrodes.

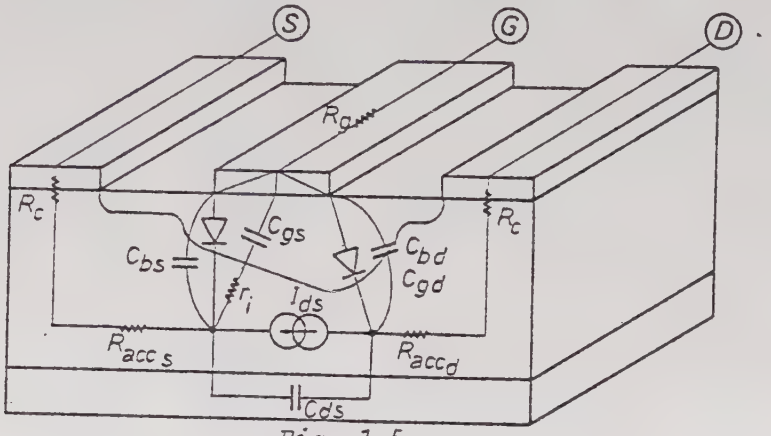


Fig. 1-5

Le modèle que nous venons d'examiner (fig.1.6) présente l'inconvénient d'être dissymétrique par rapport à la grille. Dans la réalité, les électrodes de drain et de source sont, si la symétrie géométrique est respectée, strictement équivalentes. Pour être complet, nous devrons donc symétriser toutes les équations décrivant les constituants du modèle et permettre la commutation vers l'une ou l'autre valeur suivant le signe de la tension drain-source.

Remarque : Dans ce modèle, le courant de drain est défini par l'équation (3) définie plus haut où u_S prend la valeur :

$$(V_{Bi} - V_{gc})/V_P$$

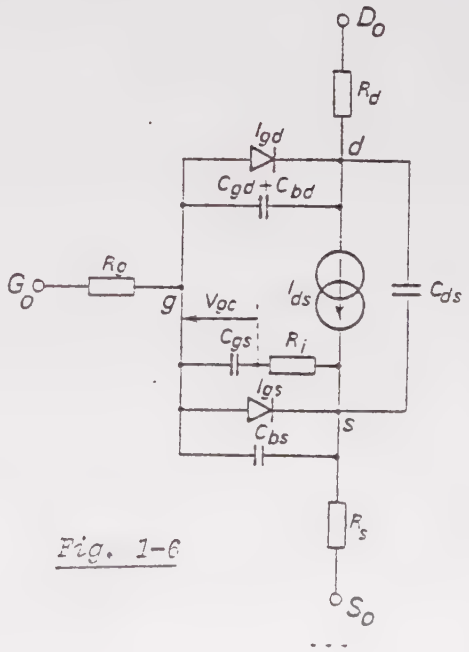


Fig. 1-6

1.5. ELABORATION D'UNE FAMILLE DE CIRCUITS INTEGRES LOGIQUES A MESFET

L'inverseur est l'élément de base de toute famille logique. De réalisation simple, il permet par extension élémentaire de réaliser un grand nombre de fonctions booléennes (fig. 1.7).

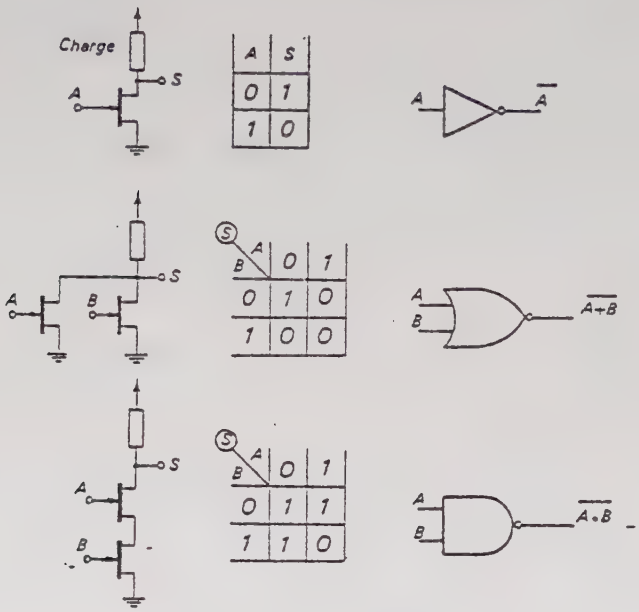


Fig. 1-7

Le transistor est conducteur quand son entrée est haute ($V_E = V_{E1}$). Dans ce cas, si l'impédance de sortie du FET est faible devant la charge résistive, la sortie est à un niveau bas ($V_S = V_{S_0}$). En appliquant une tension sur la grille suffisamment basse pour bloquer le transistor ($V_E = V_{E0} < V_T$), le niveau sur le drain monte à une tension proche de l'alimentation ($V_S = V_{S_1}$) (nous verrons ultérieurement qu'en fait, le niveau haut est fixé par la topologie du circuit piloté par notre inverseur).

Afin de pouvoir connecter en cascade différents circuits et de réaliser ainsi des fonctions logiques complexes, les niveaux de sorties d'un étage doivent polariser correctement l'étage suivant :

$$V_{S_0}^{(n)} = V_{E0}^{(n+1)} < V_T$$

...

Cette contrainte nous obligera pour les tensions de seuils négatives, à ajoutèr au schéma de base un étage décaleur dont la fonction sera d'assurer la compatibilité de niveaux entre l'entrée et la sortie :

1.5.1. Rappel de quelques notions sur les portes logiques

a) Fonction de transfert

La courbe de transfert d'une porte représente la variation de la tension de sortie en fonction de la tension appliquée sur une de ses entrées, les autres restant à un niveau logique inactif fixe, permettant une transition haute-basse en sortie (fig. 1.8). La connaissance de cette courbe permet de définir les paramètres statiques de la porte :

- gain maximum de l'inverseur G_{max}, c'est-à-dire la tangente au point d'inflexion de la courbe
- niveaux logiques haut et bas, les niveaux d'entrée d'une porte étant les niveaux de sortie d'une autre porte et réciproquement,il est aisé de voir qu'ils ne peuvent prendre qu'un nombre discret de valeurs correspondant à l'intersection de la courbe de transfert et de sa symétrie par rapport à la première bissectrice. La fig. 1.8 représente un cas typique où il existe trois points de fonctionnement possibles, le point C correspondant au plus grand gain des trois est instable (cf § 2.1), il est appelé point de transfert, les tensions associées aux points A et B sont par définition les niveaux logiques de la porte. On appelle excursion logique (swing) la différence de ces deux tensions :

$$E_L = V_A - V_B$$ notation niveau haut V_1, niveau bas V_0

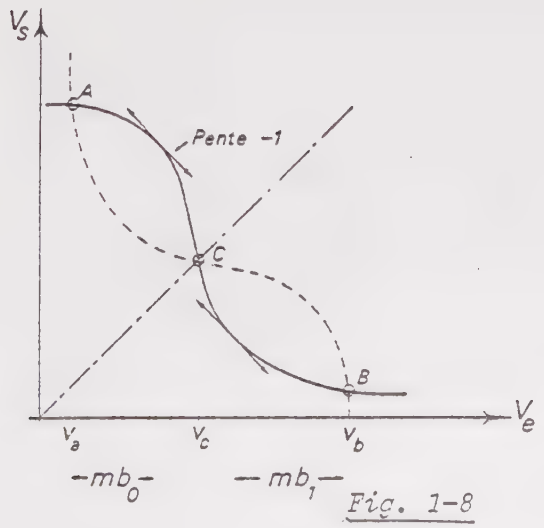


Fig. 1-8

- Marge de bruit, l'écart entre un point de gain - 1, pour lequel une fluctuation de tension commence à être amplifiée et le niveau logique le plus proche, est appelé marge de bruit haute ou basse.

- Immunité au bruit, la sensibilité ou immunité au bruit s'exprime par l'écart de tension entre un point de fonctionnement et le point de transfert.

$$S_{B0} = V_C - V_A \qquad S_{B1} = V_B - V_C$$

b) Commutation

Le comportement transitoire de la porte se traduit physiquement par la charge et la décharge de la capacité présente au noeud de sortie (fig. 1.9). Il peut être représenté par l'équation :

$$C_s \frac{dV_S}{dt} = I_R (V_S) - I_D (V , V_S) - I_G(V_S)$$

avec :

$$C_s = C_{ds} + C_{gd} (1 - G_{max}^{-1}) + C_P + C_{ch}$$

C_P représente la capacité des interconnexions

C_{ch} représente la capacité ramenée par l'étage de charge. En tenant compte de l'effet Miller, elle peut s'écrire :

$C_{ch} = C_{gs} + C_{gd} (1 + G_{max})$ (c'est le terme le plus important de l'expression de C_S)

I_R courant dans la résistance de charge de l'inverseur

I_D courant dans le drain de l'inverseur

I_G courant injecté dans la grille du FET de l'étage suivant

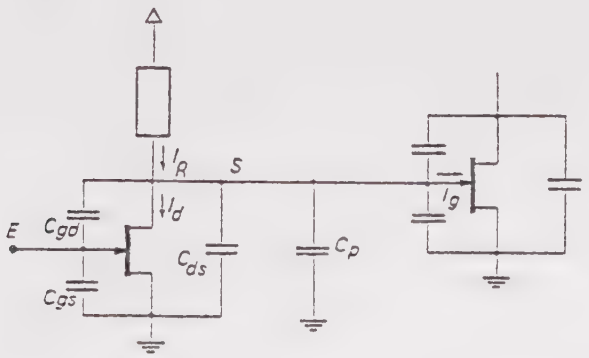


Fig. 1-9

...

Suivant les valeurs respectives des différents termes de cette équation différentielle, plusieurs régimes peuvent être étudiés :

- $I_D < I_R$ et $V_S < V_{Bi}$ charge asymptotique de la capacité vers la tension d'alimentation (fig. 1.10)

- $I_D < I_R$ mais $V_S \simeq V_{Bi}$ le courant fourni par la charge est détourné par la diode d'entrée de l'étage suivant, empêchant ainsi l'accroissement de la charge de C_S. La tension reste bloquée aux alentours de V_{Bi}, améliorant par ce fait le temps de montée de la porte. Ce phénomène , très utilisé dans nos circuits, fixe une règle sur la tension d'alimentation : $V_{DD} > V_{Bi}$.

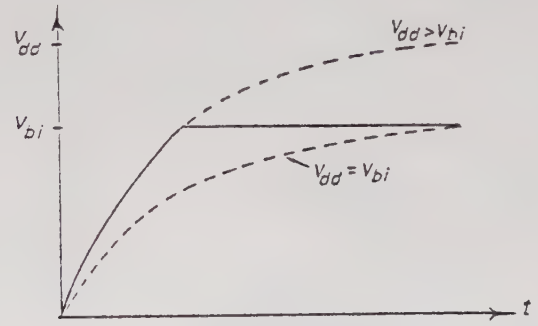


Fig. 1-10

- $I_D > I_R$ le courant passant dans le transistor décharge la capacité et la tension V_S décroît asymptotiquement vers le niveau logique bas.

c) Entrance-Sortance

On appelle *entrance* (fan-in) le nombre des entrées logiques du circuit. Elle correspond au nombre des variables logiques de la fonction booléenne réalisée par la porte.

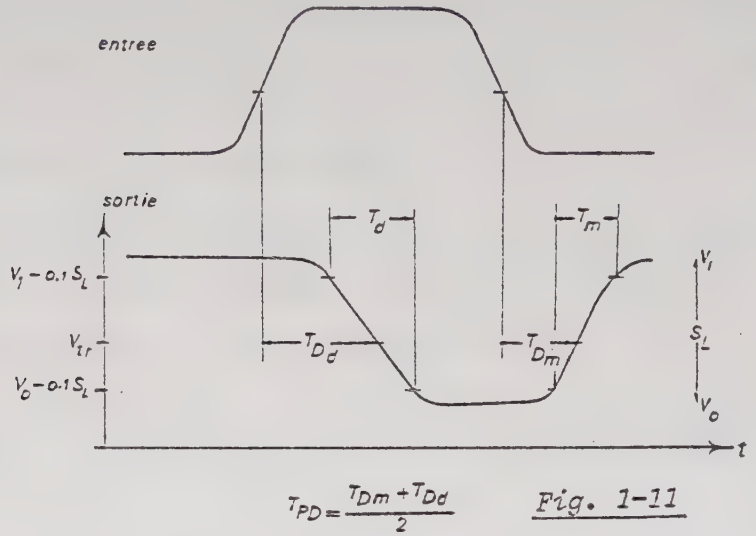
La *sortance* (fan-out) est le nombre d'entrées de portes identiques connectées à la sortie du circuit considéré. Une variation de la sortance modifie l'allure de la courbe de transfert statique, une valeur maximum doit donc être fixée par le concepteur lors de la réalisation du circuit afin de ne pas trop altérer les marges de sensibilité au bruit.

Toute augmentation de l'entrance ou de la sortance, en augmentant les capacités présentes dans le circuit dégrade les performances dynamiques d'une porte logique (surtout dans le cas défavorable ou une seule entrée est active, les autres étant à un niveau constant).

...

d) Temps caractéristiques d'une porte logique

Le signal de sortie d'une porte logique présentera par rapport à l'entrée une certaine distorsion ainsi qu'un retard. Pour représenter l'allure de ce signal il est commode de définir des grandeurs caractéristiques des performances dynamiques de l'inverseur (fig. 1.11)



$$T_{PD} = \frac{T_{Dm} + T_{Dd}}{2}$$

Fig. 1-11

On notera que les différents temps de retard sont mesurés à un niveau correspondant au point de transfert, la moyenne algébrique de ces deux retards (montée, descente) fourni le temps de propagation de la porte (tpd).

La détermination du temps de propagation dépend des conditions d'utilisation de la porte et de la forme du train d'onde présenté à l'entrée.

Pour s'affranchir de cette dernière influence lors des mesures ou des simulations, on connecte une cascade de portes identiques et l'on étudie les signaux d'entrée et de sortie d'une porte intermédiaire. Une autre manière de déterminer le temps de propagation est de mesurer la fréquence d'oscillation d'un anneau constitué d'un nombre impair de portes en cascades dont la dernière sortie est reliée à la première entrée [19].

...

e) Facteur de mérite

La qualité d'une porte logique est une notion floue qui inclue à la fois la fréquence maximum d'utilisation, la puissance consommée et la densité d'intégration maximale possible. Il est commode, pour comparer rapidement des circuits logiques entre eux, de disposer d'une grandeur qui inclue ces diverses notions. Dans ce but, un terme couramment employé, le facteur de mérite, est le produit de la puissance consommée par le temps de propagation : M = P.tpd.

Un facteur de mérite minimum est bien entendu toujours recherché.

1.5.2. Eléments constitutif d'une porte à MESFET

Dans ce paragraphe, nous allons passer en revue les différents composants utilisables dans les circuits logiques à MESFET, à savoir :

- les charges, résistances ou charges saturables
- les étages tampons permettant l'extension de la plage d'utilisation du circuit vers les tensions de seuil négatives ainsi que l'accroissement de la sortance admissible. Cet étage peut aussi , comme nous le verrons, être utilisé dans le but de réaliser des fonctions cablées et d'augmenter de cette façon la complexité des fonctions logiques réalisables.

a) Charges

Le fait d'utiliser un élément non linéaire de type charge saturable à la place d'une résistance dans le drain d'un FET inverseur, améliore les performances tant statiques (gain plus élevé, accroissement des marges de bruit) que dynamiques (symétrisation des fronts de montées et de descentes). L'utilisation, pour réaliser cette charge d'un transistor de type déplétion dont la grille est reliée à la source, présente l'avantage de fournir un courant bien corrélé avec celui du transistor inverseur et facilite ainsi l'optimisation des performances de la porte. Dans les technologies utilisant des FET à enrichissement, la réalisation de tels éléments nécessitera une complication du processus technologique de façon à réaliser les inverseurs et les charges avec des tensions de seuil différentes. D'autres solutions ont été envisagées, comme réaliser des charges ayant la même structure que des transistors mais où la grille aurait été omise [8, 10, 11].

Remarquons que pour les portes de type NOR, c'est la caractéristique de la charge qui limite l'entrance de la porte. En effet, chaque transistor dévie, lorsque son entrée est basse, un courant non nul que la charge doit être capable de lui fournir.

...

b) Etage tampon

Nous avons vu précédemment que pour les tensions de seuil négatives, il faut décaler le signal de sortie de façon à rendre les niveaux logiques compatibles. Ceci peut être réalisé comme sur la fig. 1.12 à l'aide d'un transistor suiveur polarisé par une source de courant connectée à une alimentation de rappel négative V_{SS}. Le nombre de diodes N est choisi pour ajuster l'amplitude du décalage. Supposons le suiveur polarisé à une tension V_{GS}, en général 0.7 V, en utilisant la notation* d ≈ 0.7 V nous avons :

$$V_S = V_D - V_{GS} - N.d$$

Cet étage tampon, a aussi pour avantage de protéger l'étage inverseur contre les diminutions de l'impédance de charge due à un accroissement de la sortance de la porte [12].

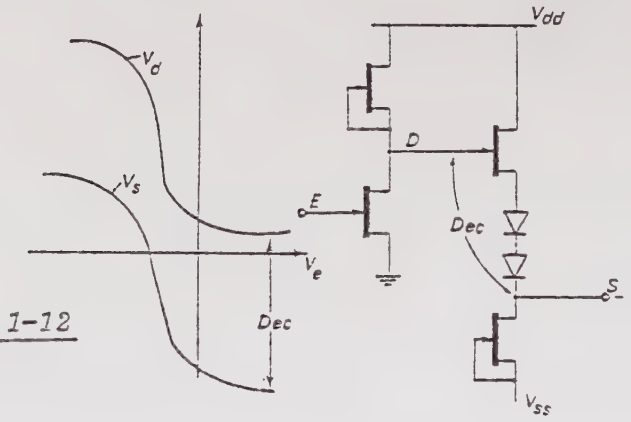


Fig. 1-12

---

* Remarque : Dans tout le reste de ce mémoire, on utilisera, pour déterminer les niveaux de polarisation statiques, les notations suivantes :
d ≈ 0.7 tension coude de diode ou tension grille-source maximale
r ≈ 0.25 tension drain-source résiduelle aux bornes d'un FET polarisé avant le coude

Pour les tensions faiblement négatives, il est possible de réaliser un autre type de circuit décaleur (fig. 1.13) ne consommant pas en permanence comme dans le cas précédent, réduisant ainsi notablement la puissance dissipée par la porte [8], [13]. Le fonctionnement d'un tel circuit nécessite quelques explications :

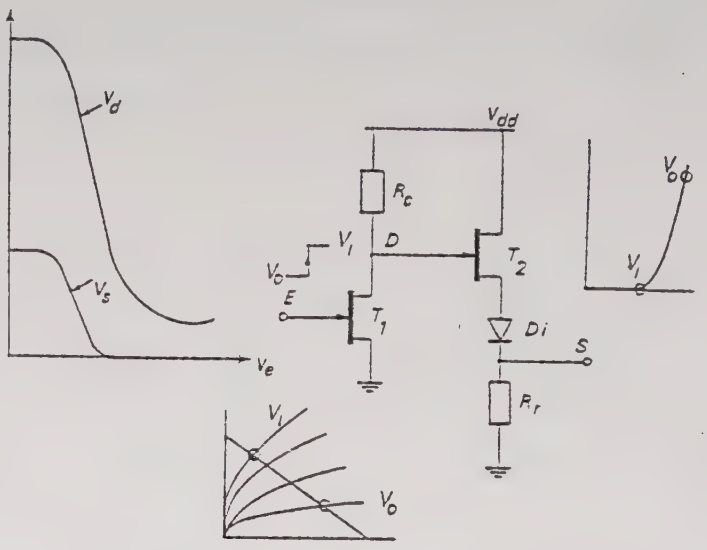


Fig. 1-13

. Appliquons une tension nulle sur la grille du FET inverseur. Celui-ci se bloque ou dans le cas des tensions de seuil légèrement négatives conduit faiblement. Dans tous les cas, la tension sur son drain D augmente et, quand la grille du suiveur commence à conduire, elle se stabilise à un niveau d'environ 2.1 V fixé par le niveau haut en sortie, la chute de tension dans la diode en direct et le potentiel grille-source du suiveur.

. L'application d'un niveau haut en entrée, limité vers 0.7 V par la conduction de la grille du FET inverseur, rend celui-ci conducteur. Le potentiel de grille du suiveur descend vers 0.2 V (tension résiduelle drain-source). Le courant dans ce transistor diminue, la chute de tension résiduelle aux bornes de la diode (≈ 0.5 V) assure un quasi blocage du suiveur, fixant ainsi la tension de sortie aux alentours de la masse.

Ce montage est applicable tant que la différence entre les tensions résiduelles sur la grille et la source du suiveur reste inférieur à sa tension de seuil, soit :

$$V_{Tmin} \approx - 0.3 \text{ V}$$

La fig. 1.14 présente différents modèles d'inverseurs bâtis suivant ce même principe. La résistance de rappel R_R peut être remplacéepar un transistor commuté par le signal d'entrée ce qui accélère le basculement de la tension de sortie. Le second étage du circuit, outre son rôle de décaleur peut aussi être utilisé pour réaliser des portes complexes à plusieurs niveaux logiques comme sur les fig. 1.15 et 1.16. La famille logique bâtie autour de ces concepts a été baptisée logique "quasi-normally-off "ou "Low Pinchoff voltage FET Logic". Très prometteuse du fait de ses performances, elle semble applicable pour la réalisation de circuits intégrés grande échelle.

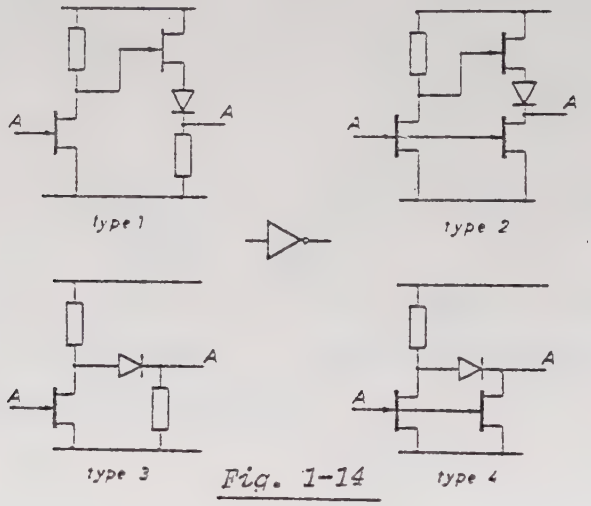


Fig. 1-14

Il est utile pour la suite de ces travaux de définir les règles de conceptions qui serviront de base à l'étude et à l'optimisation des différentes portes et circuits utilisant cette technologie.

i. dans l'étage inverseur, la résistance de charge doit être suffisamment forte pour bien polariser le transistor avant le coude, lorsque son entrée est haute Pour des hypothèses pessimistes avec Z = 20 µ

$$\frac{V_{DD} - r}{R_C} < I_{max}$$

I_{max} = 300 µA V_T = + 0.2 V
I_{max} = 400 µA V_T = 0.0 V
I_{max} = 600 µA V_T = - 0.2 V

ii. La tension aux bornes de la résistance de rappel doit varier entre 0 et d. Cette dernière valeur est obtenue quand le transistor inverseur est attaqué par un niveau bas.

$$R_R \cdot I_{max} \text{ (suiveur)} > d \qquad \text{(type 1)}$$

$$R_R \cdot \left(\frac{V_{DD} - 2d}{R_C} - I_{res} \right) > d \qquad \text{(type 3)}$$

...

I_{res} est le courant circulant dans le transistor inverseur quand sa tension grille est à un niveau bas (non nul pour les tensions de seuil négatives).

iii. La valeur de la résistance de rappel est limitée par des considérations dynamiques de décharge de la capacité de sortie (généralement capacité C_{gs} augmentée de la capacité Miller C_{gd} (1 + gain)). La valeur maximum de cette constante de temps est généralement fixée aux alentours de 200 ps de façon à ne pas trop dégrader les performances en vitesse du circuit.

iv. La taille du FET drain commun est choisie de façon à optimiser le temps de propagation de la porte et sera, pour cette raison, fonction de la sortance.

v. Pour les circuits de type 2 et 4 la taille du transistor de sortie est déterminée de manière à symétriser le plus possible les fronts de montée et de descente en sortie. Il sera aussi fonction de la sortance de la porte.

vi. Le choix de la taille des diodes doit se faire selon deux critères distincts :
- la diode ne sert qu'au décalage de la tension. Elle est unique et présentera une capacité importante (transfert capacitif)
- une fonction logique de la porte est réalisée par des diodes (fig. 1.15). Dans ce cas, pour ne pas augmenter la charge capacitive du dispositif, on utilisera des diodes de petites tailles.

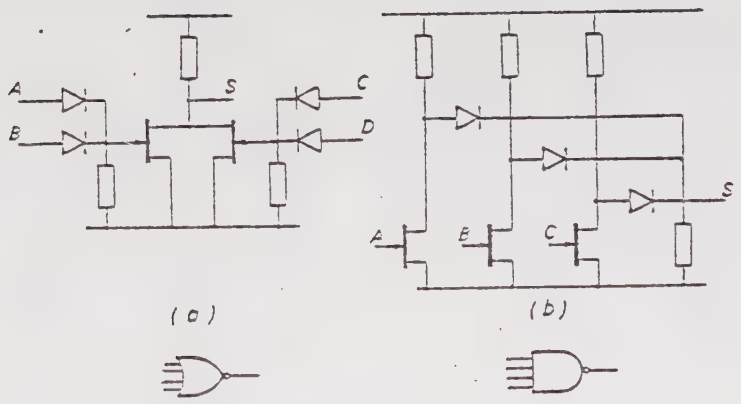


Fig. 1-15

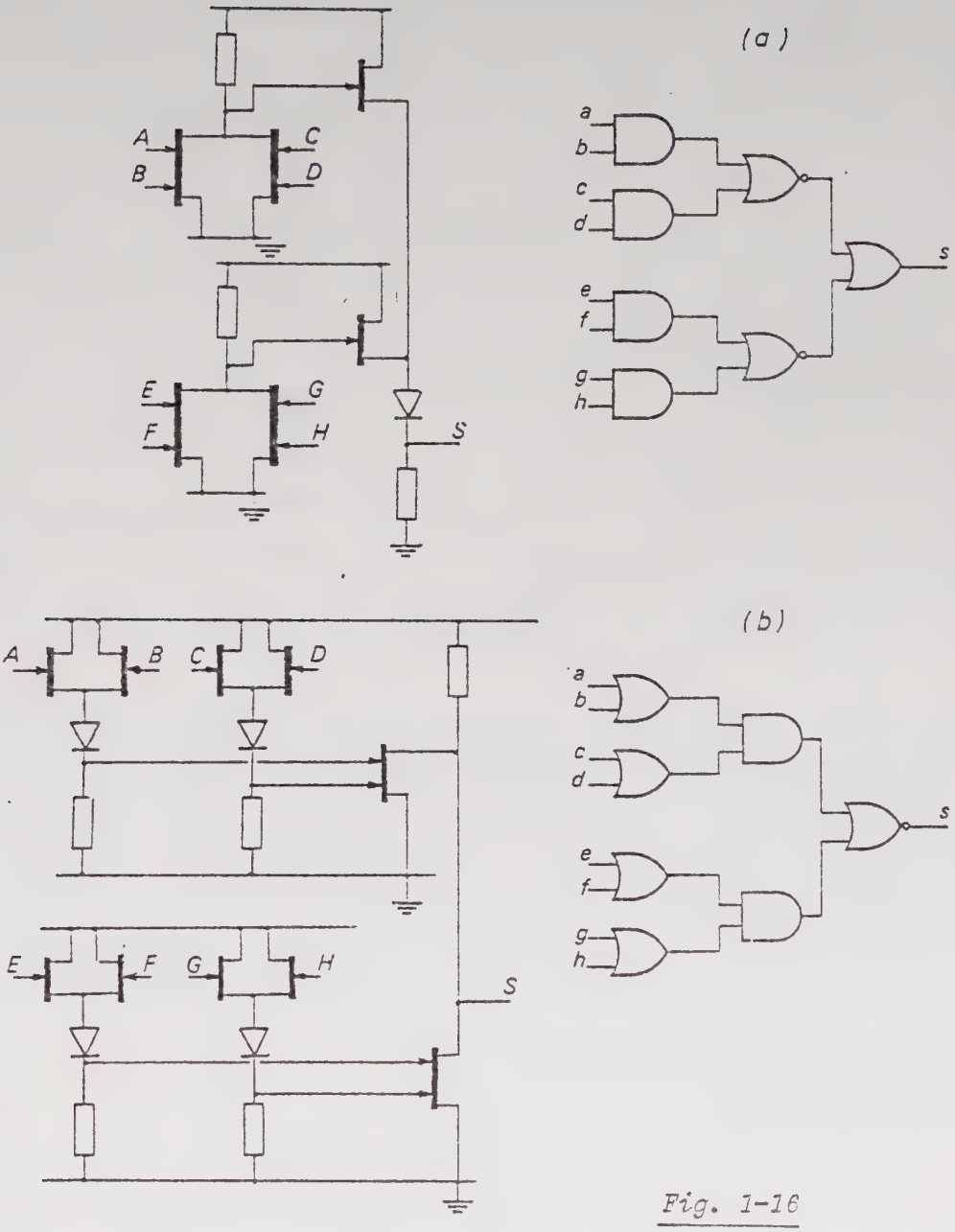


Fig. 1-16

1.5.3. Comparaison des différentes familles logiques [13]

Le tableau 1 résume les caractères principaux des quatre approches présentées à ce jour. Nous pouvons immédiatement remarquer que la tension de seuil V_T semble être le principal paramètre dictant le choix d'une technologie plutôt qu'une autre. Les transistors normally-on qui demandent une tension négative sur la grille du FET inverseur requièrent deux tensions d'alimentation et imposent l'emploi d'un étage décaleur pour assurer la compatibilité des niveaux statiques entre l'entrée et la sortie. Suivant que la fonction logique requise est réalisée par des transistors ou par des diodes, on parle de "Buffered FET Logic" ou BFL [12] ou de "Schottky diode FET logic" SDFL , [14].

Les circuits à enrichissement, commutés par une tension positive ne requièrent qu'une seule tension d'alimentation et peuvent être connectés directement entre eux sans second étage. Ils sont appelés "Direct coupled FET logic "DCFL [15] Située à la frontière entre ces deux options technologiques (enrichissement ou déplétion), la logique à faible seuil (LPFL) conserve une alimentation unique. Son étage décaleur assure une bonne tolérance aux dispersions de la tension de seuil induites lors de la réalisation du processus d'élaboration du circuit (inhomogénéité de la plaquette, de l'usinage , ...). La légère complication du circuit qui en résulte est largement compensée par la très grande souplesse qu'elle offre pour réaliser des fonctions logiques complexes (fig. 1.16).

Le diagramme puissance consommée-temps de propagation est une représentation commode pour visualiser et comparer les différentes familles logiques entre elles. Les lignes d'égal facteur de mérite sont, en échelle logarithmique des droites inclinées à 45°. La position du point représentatif d'un circuit dans ce plan permet d'apprécier très vite ses performances globales. La fig. 1.17 situe, dans un tel diagramme, les différentes familles logiques AsGa par rapport aux réalisations sur Silicium (d'après [11]).

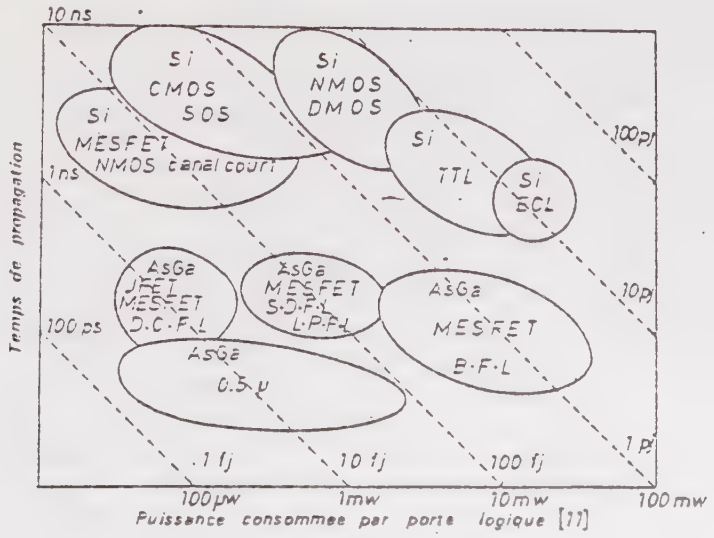


Fig. 1-17

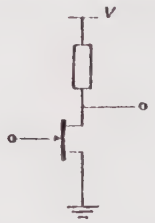
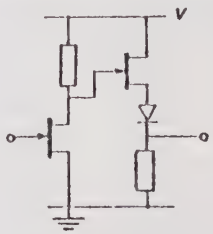
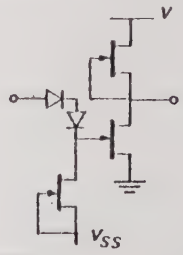
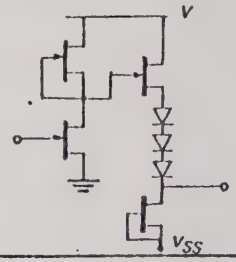
MESFET	enrichissement → 0.0 ← depletion			
seuil	0.8 … 0.2 … -0.3 … -0.5 … -1.5 … -3			
famille logique	DCFL	LPFL	SDFL	BFL
circuit de base				
alimentations typiques	unique V_{DD} = + 1.2 V	unique V_{DD} = + 2.5 V	double V_{DD} = + 1.0 V V_{SS} = - 1.5 V	double V_{DD} = + 4 V V_{SS} = - 3 V
• excursion log.	0.5 V	0.8 V	2.0 V	2.5 V
• T propagation	100 à 500 ps/portes	100 à 150 ps/portes	70 à 120 ps/portes	60 à 100 ps/portes
• consommation	1 mW à 10 µW/portes	2 mW à 500µW/portes	2 mW à 500µW/Portes	40 mW à 5 mW/portes
• nbr portes / W	> 1000 p	> 500 p	> 500 p	25 < p < 200
• densite	100 portes/mm²	200 portes/mm²	400 portes/mm²	200 portes/mm²
souplesse d'utilisation	1 étage logique/p démontré 2 étages/p présumés	jusqu'à 4 étages logiques/p OR-AND-NOR-OR AND-OR-NAND-AND	jusqu'à 3 étages logiques/p OR-AND-NOR	2 étages/p démontré 4 étages/p envisageables
sensibilite au processus technologique	très sévère	assez tolérant	tolérant	très tolérant

TABLEAU 1

2 — ELEMENTS CONSTITUTIFS DES CIRCUITS MEMOIRE - ORGANISATION

Dans ce chapitre introductif, nous examinerons les principes qui régissent, indépendamment des contraintes technologiques, l'organisation des circuits mémoire . Ceux-ci permettent le stockage et la restitution d'informations qui auront préalablement été mémorisées.

L'élément central d'un tel dispositif est bien évidemment l'unité de mémorisation qui fixe ses contraintes (organisation topologique, caractéristiques électriques ...) aux organes périphériques dans lesquels on citera : le système d'adressage, le système d'écriture et celui de lecture. Le principe de fonctionnement de ces différents sous-ensembles sera éxaminé sous un angle très général et nous présenterons les règles de conceptions auxquelles ces éléments doivent obéir. Muni de ces différents outils, il nous sera possible de dresser un schéma synoptique d'un circuit mémoire complet.

Rappelons que nous nous intéressons à la réalisation de cellules mémoire à accès aléatoire (cf. Annexe II). Cette contrainte ainsi que celles inhérentes à l'état actuel de la technologie des dispositifs AsGa nous guidera implicitement vers le choix des solutions à retenir pour l'élaboration d'un projet.

La réalisation proprement dite du circuit, à l'aide de transistor à effet de champ de type MESFET ne sera abordée que dans le prochain chapitre.

2.1. L'UNITE DE MEMORISATION

Elle peut, comme dans le cas d'un stockage d'information sous forme analogique, être constituée par une simple capacité dont la charge électrostatique est fonction de la donnée à mémoriser. L'information étant dans notre cas binaire, les deux niveaux admissibles pour la charge sont nettement différenciés. La conséquence de cette remarque est que la mise en forme du signal mémorisé, contrant l'inévitable dégradation due aux courants de fuite, n'a plus besoin d'être permanente et un simple rafraichissement périodique est suffisant. La Figure 2.1 montre une réalisation possible d'une telle cellule [16].

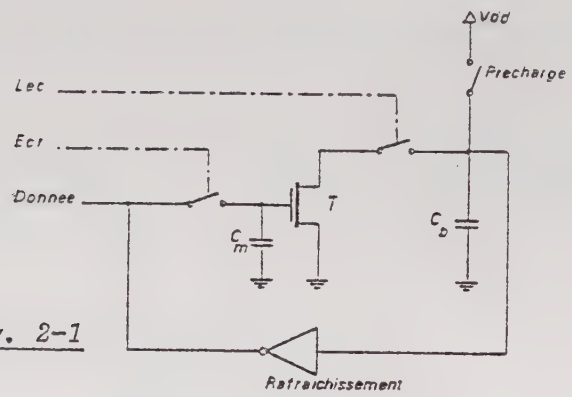


Fig. 2-1

L'information à mémoriser est contenue dans la charge de la capacité "mémoire" C_m. Dans le cas d'une *lecture*, la capacité externe C_b est préchargée à une tension haute. Après fermeture de l'interrupteur Lec, deux cas peuvent se produire :

(i) la tension aux bornes de C_m est suffisante pour débloquer le transistor T, entrainant une décharge de C_b.

(ii) le transistor T reste bloqué car la charge stockée dans C_m est faible. La capacité C_b reste chargée à la tension de précharge.

Dans tous les cas, la charge restante dans C_b est complémentaire de celle contenue dans C_m. Pour une *écriture* la donnée présente en entrée, force la charge de C_m après fermeture de E_{cr}.

Périodiquement (de l'ordre de 1m s pour les mémoires MOS silicium), l'état de charge de C_b est détecté, amplifié, inversé avant d'être réinjecté dans C_m.

...

Un tel circuit, à stockage dynamique, présente l'avantage de diminuer considérablement l'encombrement d'une cellule de base mais nécessite l'adjonction de circuit de rafraichissement et de précharge, assurant la gestion correcte du circuit.

L'étude de telles cellules en technologie MESFET semble envisageable mais pose des problèmes qui ne semblent pas tous bien résolus (courants de fuites dans les MESFET, les diodes, ...) Aussi pour notre projet nous nous contenterons d'étudier des cellules à stockage statique de l'information. Formellement, deux principes permettent la réalisation de ces circuits.

(i) Utilisation d'un élément à résistance différentielle négative

Un dispositif dont la caractéristique courant tension est variable en fonction d'une commande est chargé par un élément présentant localement une résistance différentielle négative (fig. 2.2.a). Un tel circuit peut-être décrit par un système :

$$\begin{aligned} I &= g\ (V_o,\ \xi\ ) \\ I &= f\ (V_{DD} - V_o) \end{aligned} \qquad (1)$$

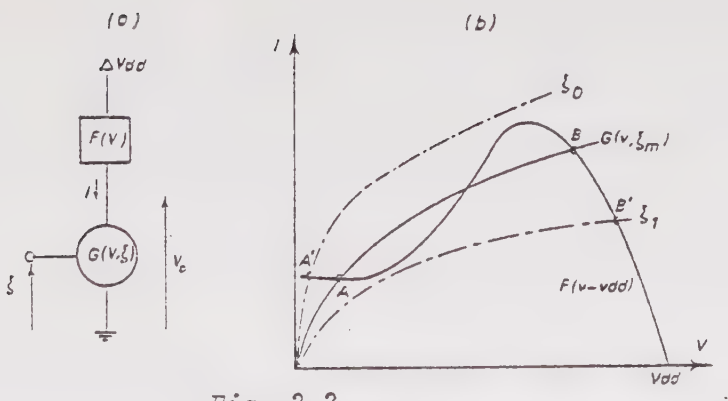


Fig. 2-2

La solution graphique de ce système (fig. 2.2.b) montre que suivant la valeur de ξ trois cas peuvent se présenter :

$\xi = \xi_0$ la seule solution du système est au point A'

$\xi = \xi_1$ une solution unique au point B'

$\xi = \xi_m$ trois solutions possibles dont l'étude montre que seules A et B sont stables. Le point de fonctionnement réel du montage dépend de l'état antérieur du circuit

par exemple le cycle d'écriture d'un "0" sera alors :

ξ_m	→	ξ_0	→	ξ_m
état antérieur quelconque		mise à "0"		mémorisation du "0"

(ii) Utilisation de deux inverseurs bouclés

Considérons (fig. 2.3.a) deux inverseurs identiques branchés en série, en notant ϕ leur fonction de transfert (chapitre 1) nous avons :

$$V_2 = \phi\ [V_1] \qquad\qquad V_3 = \phi\ [V_2]$$

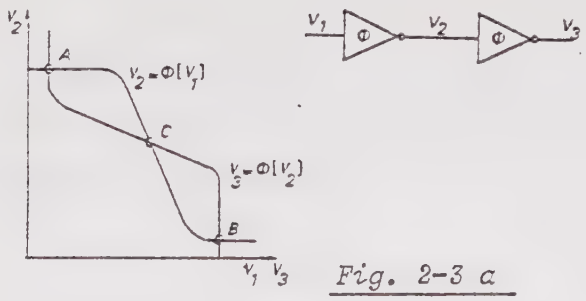


Fig. 2-3 a

Si maintenant nous rebouclons le système, nous imposons une condition supplémentaire $V_3 = V_1$. Un raisonnement simple montre que si le gain du système autour du point C est en module plus grand que un, celui-ci est instable. Le moindre écart entre V_1 et V_2 se trouve amplifié et le système se stabilise dans un état où une entrée est haute et l'autre basse. A la lumière de cette remarque nous pouvons imaginer deux systèmes différents pour écrire dans un tel bistable :

...

- partant d'un état stable donné, on force une entrée vers la valeur souhaitée. Le système réagit et s'immobilise sur un de ses points de fonctionnement stables.
- nous pouvons aussi agir sur un inverseur de façon à modifier sa fonction de transfert et à rendre unique le point de fonctionnement du système - fig. 2.3b

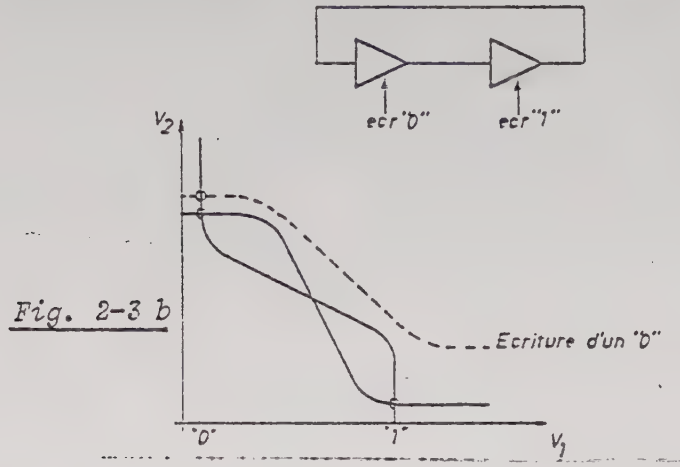


Fig. 2-3 b

Remarque : formellement, le circuit bistable le plus simple envisageable est constitué par une simple porte non inverseuse rebouclée en elle-même.

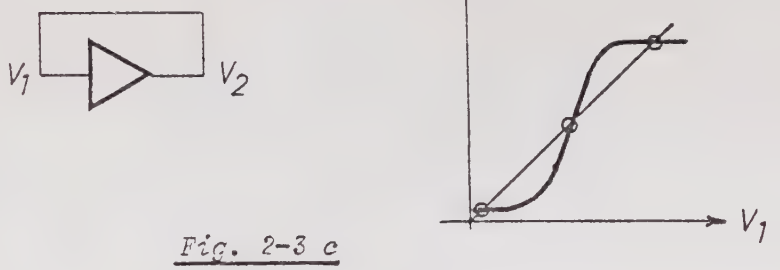
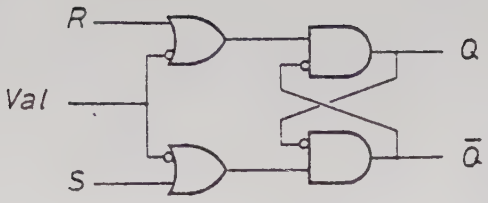


Fig. 2-3 c

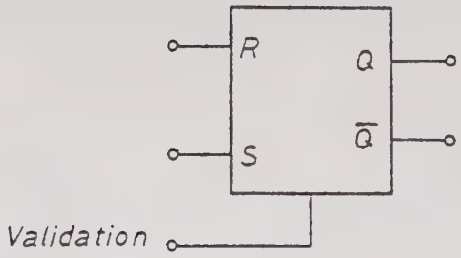
Ce circuit ne présente toutefois aucun intérêt pratique car on ne sait pas réaliser un étage amplificateur et non inverseur, directement compatible avec lui-même.

En toute rigueur un bistable comme nous venons de le décrire, ne peut être utilisé tel quel dans un circuit complexe. Sans aborder pour le moment le problème des interconnexions entre plusieurs de ces cellules, nous devons ajouter à notre schéma de principe un dispositif permettant l'écriture d'un "un" et l'écriture d'un "zéro", ainsi qu'une entrée de validation permettant au besoin d'inhiber toute tentative d'écriture dans le circuit. Un schéma possible permettant la réalisation de ces fonctions est donné sur la figure 2.4.a. Pour éviter tout état indéterminé , le circuit externe d'écriture fournira deux entrées complémentaires à la cellule. En tenant compte de cette condition, la table de vérité du système est donnée sur la figure 2.4.c. Tant que l'entrée de validation est à "0" on ne peut accéder à la cellule et celle-ci conserve son état antérieur noté $\bar{Q}$.

(a)



(b)



(c)

Val	R	S	Q^+	$\bar{Q}^+$
0	1	0	Q^-	$\bar{Q}^-$
0	0	1	Q^-	$\bar{Q}^-$
1	1	0	1	0
1	0	1	0	1
ϕ	1	1	Q^-	$\bar{Q}^-$

(d)

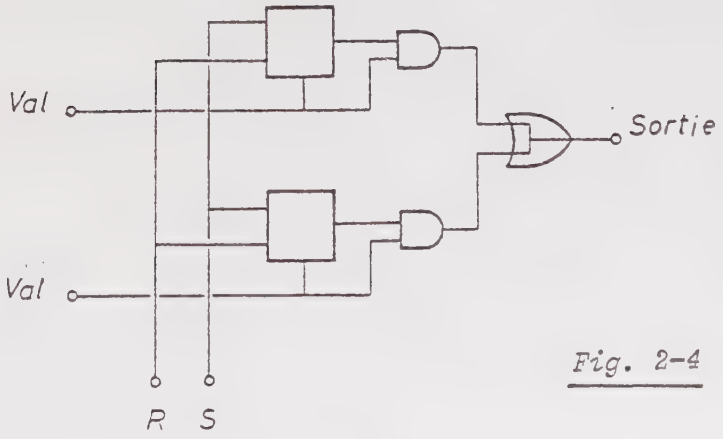
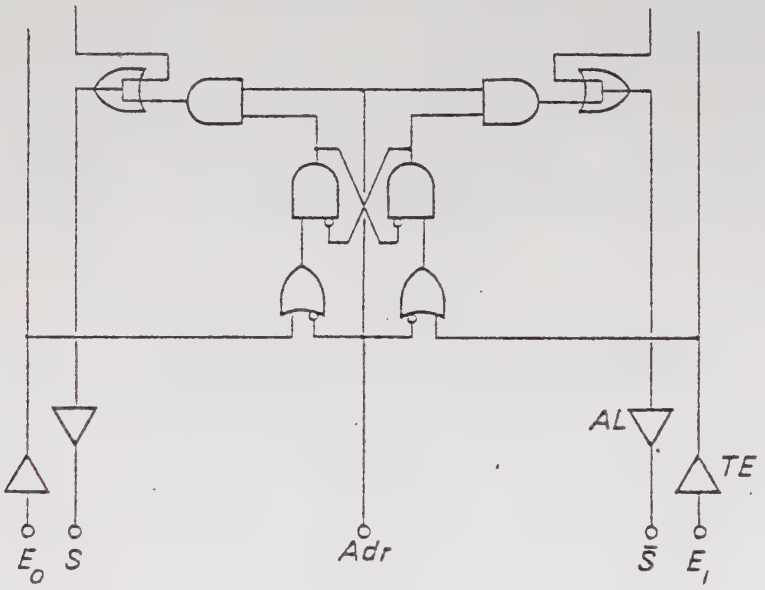


Fig. 2-4

Pour réaliser une mémoire à N bits, il nous faut donc connecter ensemble N cellules identiques, chacune ayant sa propre entrée de validation. Dans ce cas, toutes les entrées R et S des bistables peuvent être reliées ensembles sans nuire au bon fonctionnement du dispositif car seul l'état de la cellule validée sera altéré (fig. 2.4.d). Au niveau de la sortie un problème nouveau se pose : comment connecter la cellule validée et uniquement celle-ci avec le système de lecture ? Une solution évidente à ce problème de multiplexage consiste à utiliser l'entrée de validation pour commander une porte logique ET, le signal de sortie de cette porte est connecté au système de lecture par l'intermédiaire d'une fonction OU, commune à tous les points mémoires. Les cellules non validées présentant chacune un niveau "0" en entrée du OU, l'information contenue dans le circuit sélectionné est transmise vers la sortie. En utilisant au maximum les symétries du montage, une telle organisation est donnée sur la figure 2.5.



S	Sortie
$\bar{S}$	Sortie complémentaire
E_0	Ecriture d'un "0"
E_1	Ecriture d'un "1"
Adr	Entree d'adressage
AL	Amplificateur de lecture
TE	Tampon d'écriture

Fig. 2-5

Remarquons au passage que des deux sorties, une seule est strictement nécessaire. Dans un souci de simplification, il serait souhaitable de réunir, les deux lignes d'entrée et les deux lignes de sortie en une seule paire bidirectionnelle, assurant à la fois l'écriture et la lecture. Cette simplification est envisageable en acceptant l'idée d'une porte trois états, assurant soit le passage de l'information ("0" et "1) soit un isolement entre l'entrée et la sortie. Ces portes sont symbolisées sur les figures 2.6 par des interrupteurs commandés par l'entrée de validation. Ces lignes bidirectionnelles sont généralement appelées lignes de bit et servent à la connexion entre la cellule validée et les organes d'entrée-sortie. Lors de la lecture, le système d'écriture doit être déconnecté des lignes de bit. On utilise pour cela une porte trois états identique aux précédentes, commandée par un signal validé lorsqu'une écriture est demandée (fig. 2.6.b). L'étape suivante de la simplification du circuit est d'essayer de diminuer le nombre de portes d'accès aux bistables. Evidente, lorsque le circuit est sélectionné, cette simplification est possible en remarquant qu'une cellule isolée est stable lorsque sa sortie est reliée à l'entrée d'écriture correspondante (fig. 2.6.c). Dans cette hypothèse l'entrée d'écriture n'a plus de raison d'être et on aboutit au schéma minimal (fig. 2.6.d) composé uniquement de deux inverseurs et deux portes trois états assurant la connexion avec les lignes de bit.

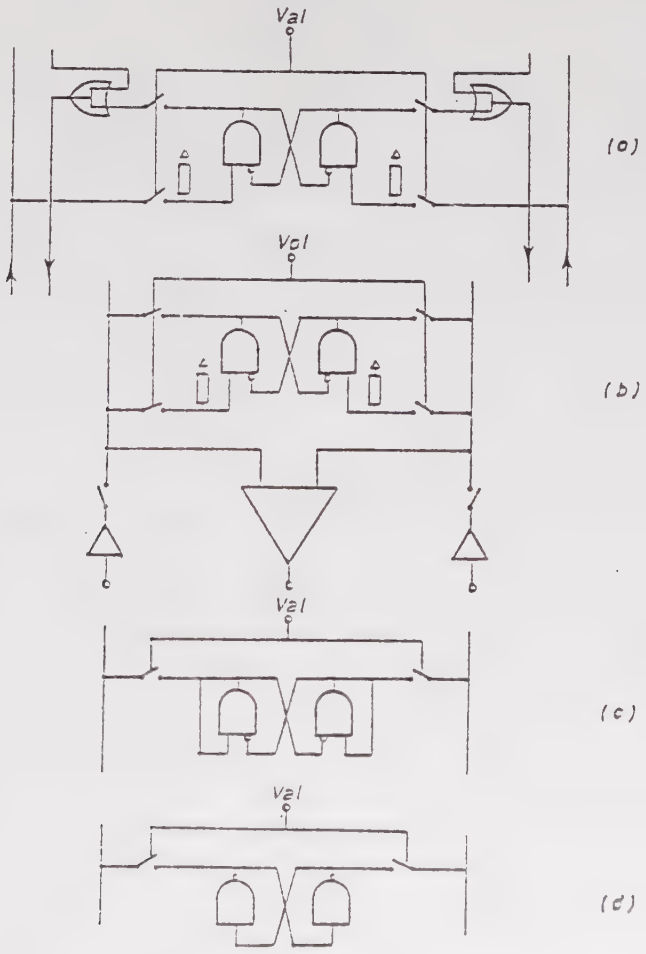


Fig. 2-6

La figure 2.7 donne un exemple de connexion de plusieurs cellules (ici 2) avec les organes d'entrée-sortie. L'inverseur délivrant les deux signaux d'écriture à partir de la donnée d'entrée est mis en commun pour tout le circuit.

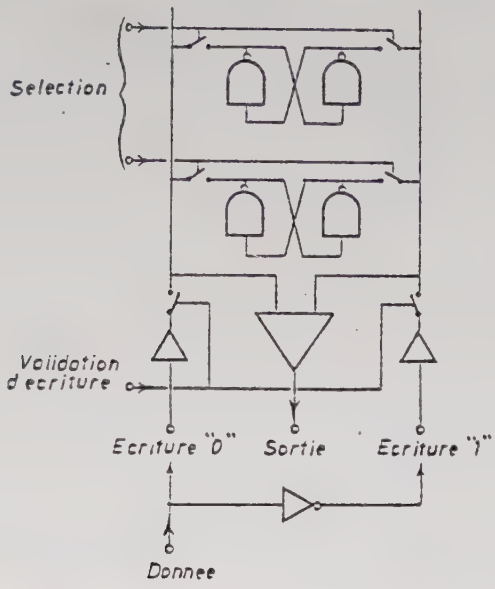


Fig. 2-7

Vue de l'extérieur, cette colonne permettant le stockage de N bits comportera N entrées de sélection, une entrée de validation d'écriture, une sortie et une entrée de donnée. Cette extrême simplification du circuit n'a été possible qu'en admettant la faisabilité de portes logiques trois états commandées par une entrée de validation. En fait, et nous détaillerons ceci dans le prochain chapitre, tout élément fortement non linéaire c'est-à-dire dont l'impédance varie d'une manière importante suivant les conditions de polarisation, permet de réaliser cette fonction. De plus, dans certains cas, on peut utiliser comme ligne de validation, un des fil d'alimentation du circuit, économisant par là une ligne de connexion (avantage non négligeable pour la diminution des capacités parasites et les dimensions du circuit).

La réalisation de circuits de grande capacité avec une telle organisation se heurte rapidement à deux problèmes principaux :

- complexité du décodeur qui devra assurer la sélection d'une cellule parmi N (ce problème du décodeur sera abordé dans le détail un peu plus loin)
- la charge capacitive formée par toutes les cellules en parallèle ralentit considérablement le transfert d'information sur les lignes de bit.

...

Afin d'augmenter la taille du circuit tout en évitant les inconvénients précités,on organise le circuit sous forme d'une matrice à deux dimensions, constituées d'une juxtaposition de colonnes identiques à celle que nous venons d'étudier (fig. 2.8). La lecture dans une cellule se fait en deux temps :

- sélection d'un bistable par colonne (on parle de sélection d'une ligne de mot) qui transmet son contenu à la sortie correspondante
- multiplexage de ces différents signaux pour aiguiller l'information désirée vers la sortie réelle du circuit.

Il peut être intéressant de regarder s'il existe une organisation qui minimise la capacité présente sur le trajet de l'information lors, par exemple, d'une lecture. Elle se compose essentiellement de deux termes, l'un exprimant la charge sur la ligne de mot, l'autre la charge sur la ligne de bit. Dans le cas d'une matrice de Nbits organisée en N_y lignes et N_x colonnes, nous pouvons exprimer, au premier ordre ces deux termes par des expressions de la forme :

$$C_{LB} = K_y.N_y \qquad C_{LM} = K_x.N_x \qquad \text{avec } N = N_x.N_y$$

La charge totale présente sur le trajet de l'information est minimale si :

$$N_x = N.\frac{K_y}{K_x}$$

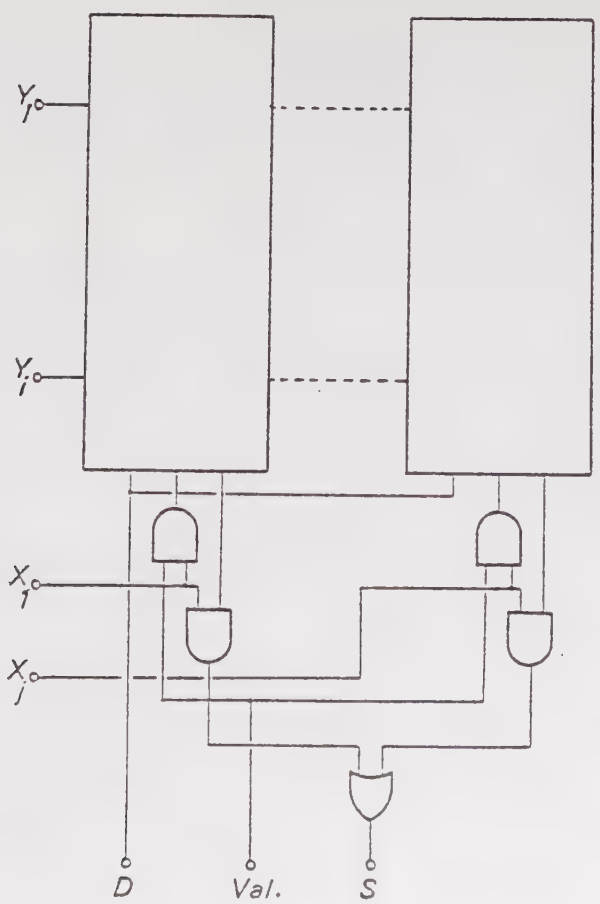


Fig. 2-8

Les facteurs K_y et K_x apparaissant dans ces expressions dépendent bien évidemment de la technologie utilisée pour réaliser le circuit, mais aussi de toutes les capacités d'interconnexion amenées par l'implantation sur la plaquette. Dans tous les cas, et celà est d'autant plus vrai que le circuit est complexe et que les interconnexions prédominent, ces deux termes sont du même ordre de grandeur. Une matrice de forme carrée, ou approchée, semble optimale.

Pour des circuits de plus en plus complexes, il est possible de généraliser le raisonnement qui nous a permis de construire une matrice à deux dimensions à partir de colonnes. Nous pouvons ainsi connecter plusieurs de ces circuits entre eux pour réaliser un ensemble que l'on peut appeler à trois dimensions. Pour accéder à une donnée, on sélectionne une matrice puis à l'intérieur de celle-ci, une ligne et une colonne. Cette hiérarchisation de l'organisation topologique que l'on retrouvera lors de l'étude des décodeurs permet une simplification de l'étude du circuit et aussi, dans certains cas une amélioration des performances. On trouvera dans [17,18] une étude plus détaillée de ce concept.

Dans tout ce qui précède, nous n'avons parlé que de la mémorisation de mots de 1 bit. Si ce n'est pas le cas, le problème reste identique. Le décodage X permettra non plus la sélection d'une cellule par ligne mais d'un groupe de cellules, chacune étant individuellement connectée à une sortie.

Le problème de la sélection des cellules validées a été entrevu lors de la présentation des matrices à deux dimensions. L'importance de celui-ci mérite que l'on s'y arrête quelque temps.

2.2. SELECTION DES CELLULES - DECODAGE

Nous avons vu que chaque cellule doit être dotée d'une entrée de validation permettant soit l'isolement du point mémoire, soit sa connexion avec l'extérieur. Il est donc indispensable, pour ne pas multiplier les bornes d'entrée du circuit, de pourvoir celui-ci d'un ensemble permettant, en fonction d'une combinaison de ses entrées, d'activer une de ses sorties. Celles-ci connectées aux entrées de validation de la matrice permettent l'adressage d'une cellule pour chaque combinaison des entrées, dites d'adressage. Un tel système est appelé décodeur, la mémoire qui en est munie est dite "complètement décodée". Rappelons que pour adresser 1 cellule parmi N il faut au minimum, en logique binaire, $n = \log_2 N$ entrées. Le schéma synoptique d'un circuit réalisant cette fonction est donné sur la fig. 2.9. On peut reconnaitre trois parties que nous allons examiner à présent :

...

- Le tampon d'entrée, délivre un signal en phase avec l'entrée et son complément. Ces deux signaux doivent avoir des niveaux compatibles avec les entrées des étages suivants (décodeur), ce qui peut ne pas être le cas des entrées A_i. De plus, pour ne pas dégrader les performances dynamiques de l'ensemble, ils doivent être si possible synchrones. Remarquons que pour N = 2 cet étage est le seul du système d'adressage.

Sur le plan conception, la charge capacitive présente en sortie de cet étage peut être élevée. En effet, dans le cas d'un décodeur complet à n entrées chaque sortie commande N/2 entrées de portes de décodage (fig. 2.9).

A cette charge il faut ajouter les capacités ramenées par les croisements des interconnexions qui deviennent rapidement très nombreux. Fort de cette constatation, pour ne pas dégrader les performances en vitesse du circuit, on sera obligé d'accroître sa consommation. On verra plus loin comment, dans les circuits complexes, s'affranchir de cette contrainte.

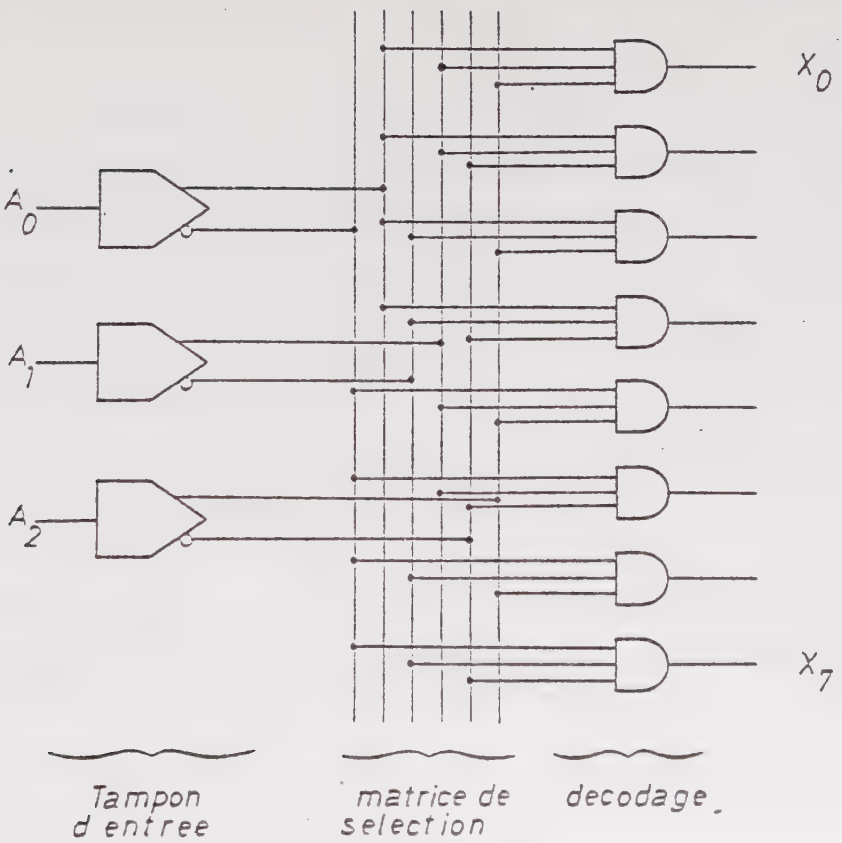


Fig. 2-9

- Le décodeur proprement dit. Il réalise effectivement la fonction de sélection d'une sortie pour chaque combinaison des entrées. Suivant le niveau actif sur les entrées de validation des cellules on peut distinguer deux types de décodeur :

  . décodage de type OU si le niveau actif est un "0"
  . décodage de type ET si c'est un "1" qui valide une cellule

  Cet étage sera donc composé de N portes logiques (ET ou OU) à n entrées interconnectées suivant toutes les combinaisons admissibles des entrées et de leurs compléments.

- La matrice de sélection. L'interface entre les tampons d'entrée et le décodeur n'est pas à proprement parler un "étage" au sens habituel du terme. Néanmoins, comme elle contribue largement à la charge capacitive de l'étage d'entrée, on ne peut la passer sous silence. Le problème qui se pose à la personne chargée de l'implantation du circuit est alors de trouver dans quel ordre disposer les différents éléments de façon à minimiser le nombre de croisements, ou tout au moins, de les répartir d'une manière équitable entre toutes les lignes, pour ne pas pénaliser un circuit plutôt qu'un autre. Ce problème, extrêmement complexe ne peut dans le cas général être résolu que par l'utilisation d'algorithmes très sophistiqués [19].

Posons nous maintenant la question de réaliser un décodeur complexe à N sorties. Nous avons vu que dans ce cas il sera constitué de N portes à n entrées. De plus, chacun des n étages d'entrée sera chargé par N/2 portes de décodage. Pour une technologie donnée, ces contraintes peuvent être trop importantes. Dans ce cas, en reprenant le concept de hiérarchisation des fonctions que nous avons présenté précédemment, nous pouvons étudier des configurations intéressantes. Séparons par exemple les n entrées en p groupes indépendants. Sans nuire à la généralité et par souci de simplification nous séparerons les adresses en deux groupes égaux de m = n/2 entrées (fig. 2.10) [21].

Le décodage s'effectue en deux étapes. Un premier niveau décode indépendamment les deux groupes d'entrées. Celles-ci sont ensuite combinées dans un second étage. Ce système qui, à première vue, parait plus complexe permet de gagner sur deux plans :

...

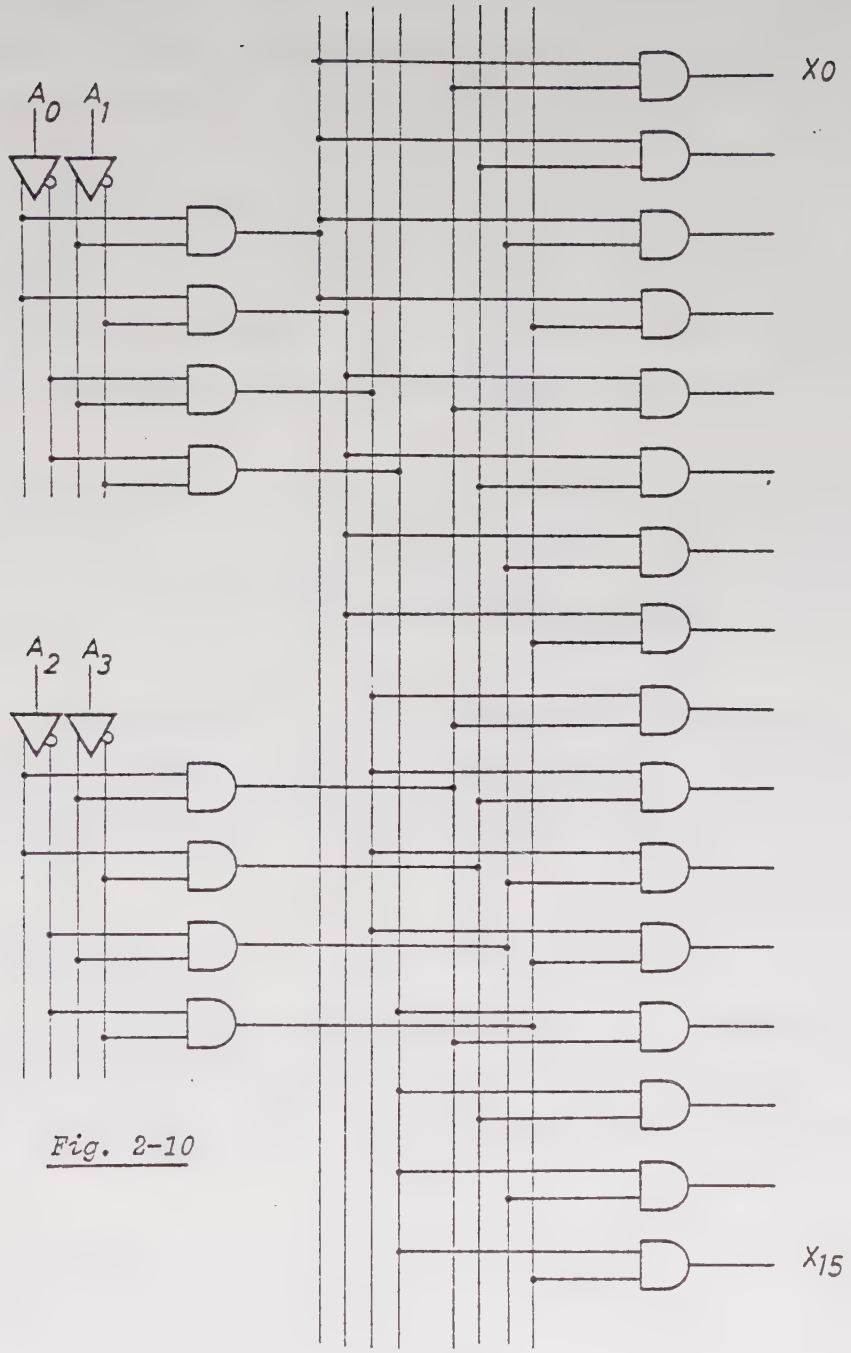


Fig. 2-10

- la charge capacitive des tampons d'entrées qui était auparavant de N/2 portes de décodages n'est plus maintenant que de 2^{m-1} portes, d'où une diminution dans un rapport $\sqrt{N}$. La matrice d'interconnexion entre ces deux premiers étages est aussi plus simple.

- au premier ordre, nous pouvons dire que le nombre de composants réalisant le décodeur est proportionnel au nombre total des entrées des portes de décodage. Cette grandeur qui était auparavant de n.N passe à $2\ m\ \sqrt{N} + 2\ N$ (pour $n = 6$ on passe de 384 entrées à 176, c'est-à-dire 45 % du nombre de composants initial)

D'un point de vue temps de décodage, ce système paraît plus lent car comportant une couche logique supplémentaire. En fait le problème est beaucoup plus complexe, le temps de propagation à travers une porte de décodage étant une fonction croissante de l'entrance et de la sortance, termes qui sont diminués d'une manière non négligeable dans cette nouvelle structure.

Tout ce que nous venons de voir est valable aussi bien pour le décodeur de ligne Y que de colonne X. Pour ce dernier, le problème de la rapidité est moins crucial que dans l'adressage ligne, l'information n'étant disponible en entrée du multiplexeur que bien après qu'elle ait été sélectionnée par le décodeur y.

Il nous reste maintenant pour être complet dans notre survol des mémoires électronique à présenter les organes qui permettent soit de lire la donnée sélectionnée soit d'écrire l'information à mémoriser.

2.5. LE SYSTEME D'ECRITURE

Cet organe est chargé d'imposer transitoirement à la cellule adressée, un état fonction d'une donnée présente à l'entrée, et qui entrainera s'il le faut un basculement du bistable. Celui-ci après stabilisation "mémorisera" cet information.

Nous avons vu lors de la discussion sur l'organisation en matrice que le système d'écriture doit être déconnecté des lignes de bit lors d'une opération de lecture. Cette constatation nous a montré la nécessité d'avoir une entrée de validation d'écriture en plus de l'entrée de donnée proprement dite.

...

Pratiquement, le cycle d'écriture se fera suivant la procédure suivante :

(i) présentation en entrée de la donnée à mémoriser. Elle est décodée mais reste en attente prête à être utilisée par le dispositif d'écriture lorsque l'ordre sera venu.

(ii) adressage de la cellule sélectionnée c'est-à-dire couplage entre celle-ci et les lignes de bit

(iii) envoi d'un signal d'écriture qui valide la donnée mise en attente précédemment. Elle est transmise à la cellule et entraine un déséquilibre susceptible de la faire commuter. La constante de temps de basculement du bistable impose de maintenir cet état un temps Δ_{ecr} nécessaire pour rendre le phénomène irréversible

Un tel circuit sera composé essentiellement d'une porte trois états validée par la donnée à écrire et l'ordre d'écriture. Celle-ci imposera un niveau à l'une ou l'autre des lignes de bit suivant que l'on écrit un "0" ou un "1".

Sur la figure 2.11, nous avons représenté une mémoire complète. Chaque sous-ensemble amène un retard noté Δ. Les valeurs de ces différents termes fixent le chronogramme que l'utilisateur doit respecter s'il veut éviter les aléas de fonctionnement (début d'une écriture alors que la cellule n'est pas adressée - écriture dans plusieurs cellules ...).

On définit alors , en prenant comme référence le front actif du signal de validation, différents temps caractéristiques du cycle d'écriture de la mémoire.

$t_{adr_{min}}$	$= \Delta A - \Delta V$	temps séparant l'adressage de la validation
$t_{d_{min}}$	$= \Delta E - \Delta V$	temps séparant l'envoi de la donnée de l'envoi du signal de validation
$t_{ecr_{min}}$	$= \Delta_{ecr}$	durée minimale de l'impulsion de validation

...

$t_M = \Delta V - \left\{ \begin{matrix} \Delta A \\ \Delta E \end{matrix} \right\}$ = temps de maintien exprimant l'intervalle de temps pendant lequel ni l'adresse, ni la donnée ne doivent bouger, après désactivation du signal de validation

Quantitésd'autres termes peuvent être définis mais ces quatre grandeurs suffisent à bien caractériser notre dispositif.

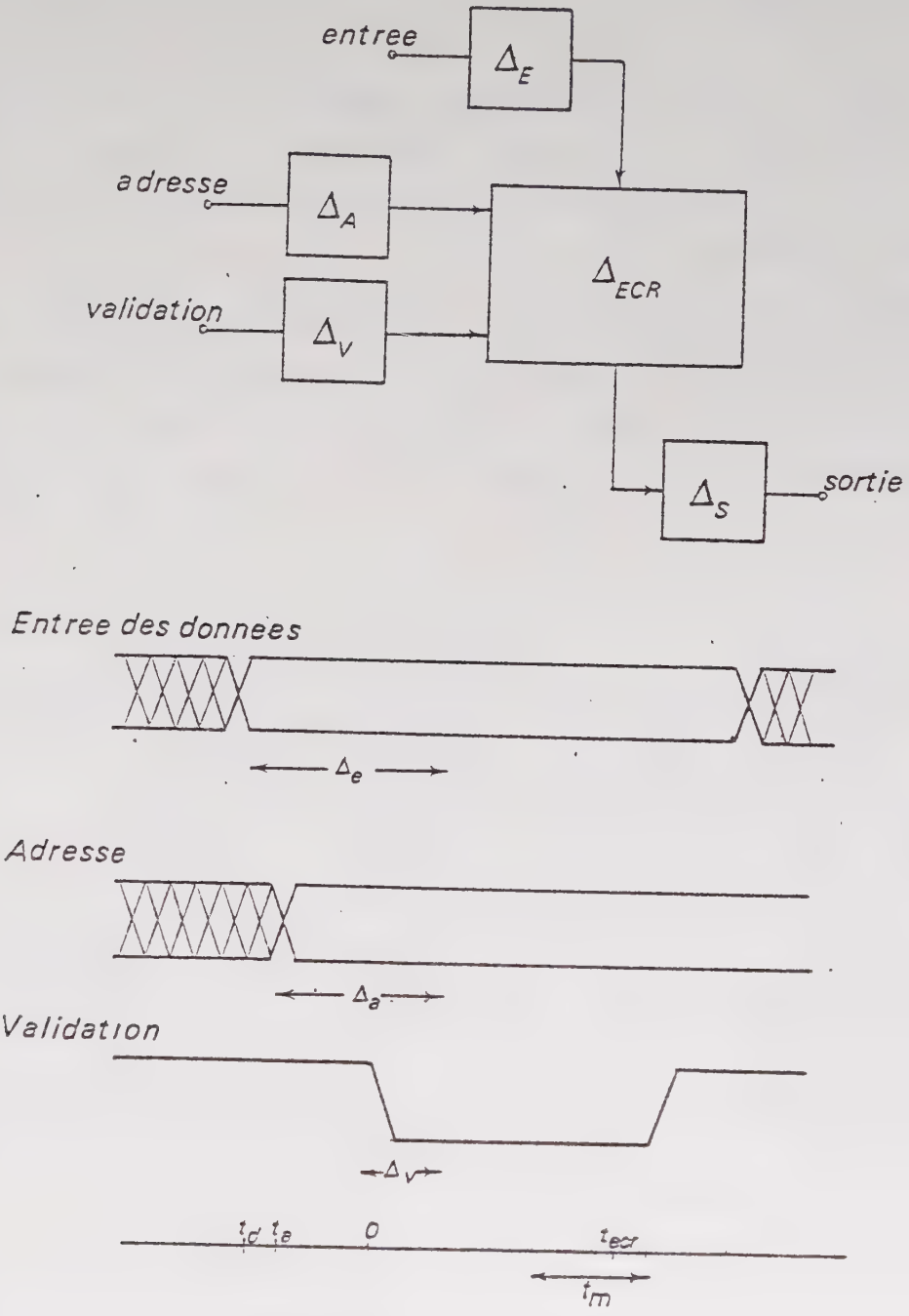


Fig. 2-11

2.4. LE SYSTEME DE LECTURE

Chargé de détecter l'état de la cellule adressée et de la transformer en une forme exploitable par l'utilisateur, il sera composé essentiellement de deux étages :

- un amplificateur qui détectera l'état des lignes de bit sans altérer l'information contenue dans la cellule adressée
- un tampon de sortie qui assurera la compatibilité avec l'extérieur

L'amplificateur de lecture proprement dit mérite que l'on s'y arrête quelques instants. Conçu pour ne pas charger inutilement les lignes de bits, il pourra détecter le niveau absolu d'une des lignes de bit (fig. 2.12.a) ou bien comme c'est généralement le cas, la différence entre les niveaux sur les lignes de bit (fig. 2.12.b). Remarquons que cette méthode oblige à réaliser un amplificateur différentiel à point de transfert aussi précis que possible. Une troisième approche, hybride entre les deux précédentes consiste à détecter le niveau sur une des lignes de bit mais utilise le niveau de l'autre ligne pour créer une réaction et augmenter de cette façon la vitesse de détection du signal utile (fig. 2.12.c)

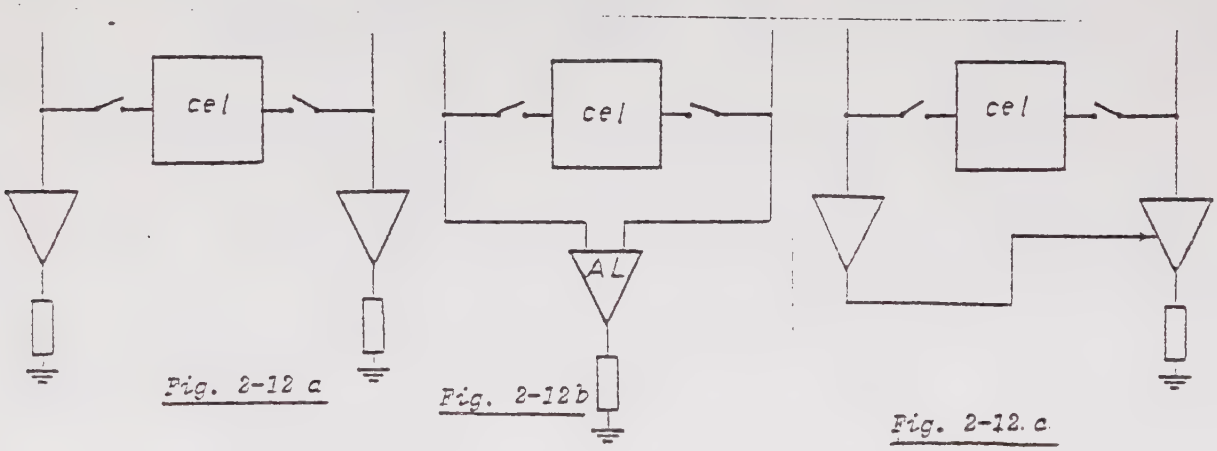


Fig. 2-12 a Fig. 2-12 b Fig. 2-12 c

En utilisant les notations présentées sur la fig. 2.11 le temps d'accès du circuit peut être défini par l'expression :

$$t_{acc} = \Delta A + \Delta S$$

2.5. SYNOPTIQUE COMPLET D'UN CI MEMOIRE

Fort de tout ce qui précède, nous pouvons maintenant dresser le schéma synoptique complet d'une mémoire à accès aléatoire (cf. annexe B) adressable par mot de n + 1 bit (fig. 2.13). Par souci de clarté du dessin une seule ligne de bit par cellule a été présentée. On peut concevoir des perfectionnements à un tel schéma. Par exemple, l'utilisation de bus bidirectionnels permettrait la mise en commun des bornes de sorties et d'entrées, ce serait toutefois au détriment des performances dynamiques. Pour diminuer la consommation statique, une entrée de sélection de boitier (chip select) nous permettrait de mettre certains circuits (tampons, décodeurs, ampli de lecture ...) dans un état de repos lorsque aucune cellule n'est adressée. Au début d'un cycle d'adressage, il faudrait alors s'assurer que la sélection du circuit est bien effective.

Toutes ces considérations ne changent rien au schéma de principe de la fig. 2.12 c'est lui qui servira de trame à toute l'étude que nous ferons pour réaliser ces circuits en technologie MESFET.

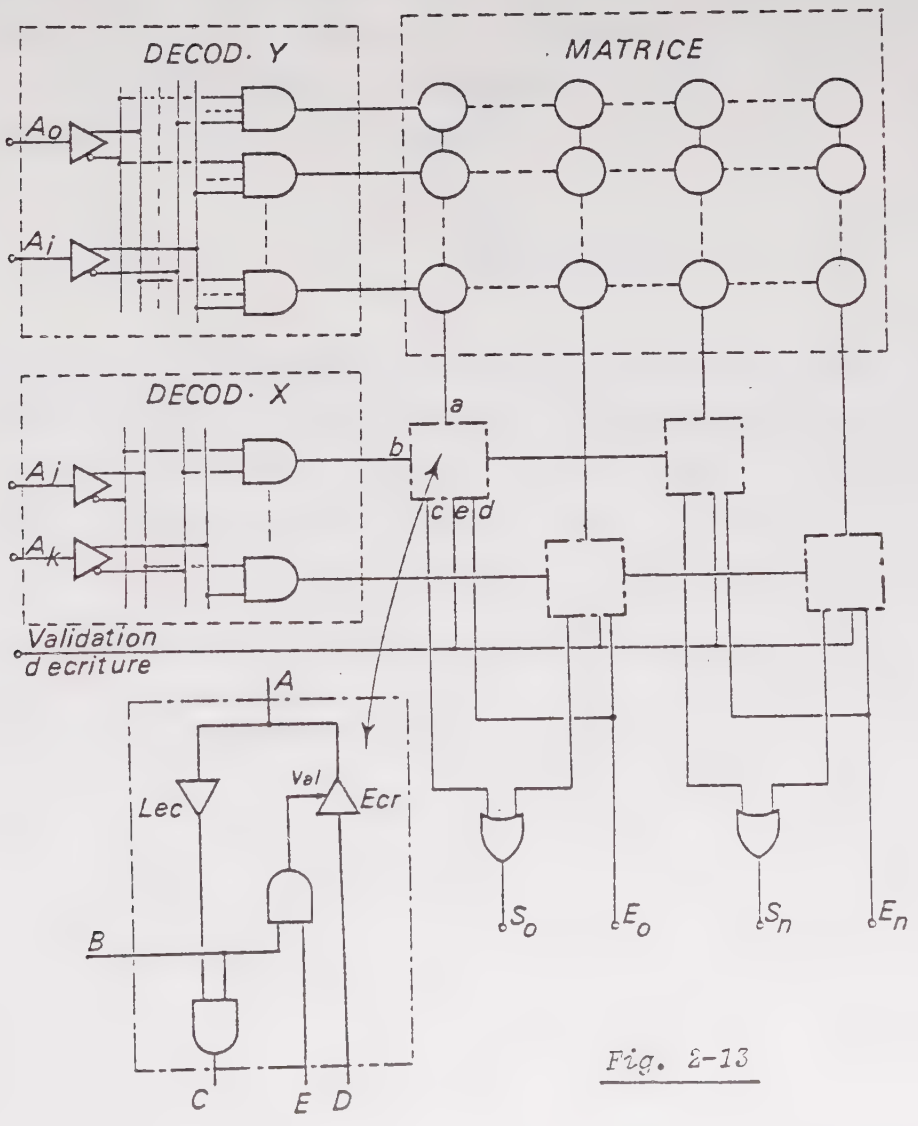


Fig. 2-13

3 - EXEMPLE DE CONCEPTION A L'AIDE DE TRANSISTORS MESFET A FAIBLE SEUIL

Nous allons maintenant et jusqu'à la fin de ce travail, examiner quelles sont les possibilités offertes par l'Arséniure de Gallium pour la réalisation de circuits mémoire à très grande rapidité. Les choix technologiques d'une telle étude sont impérativement fixés par la complexité du circuit global. Celle-ci se traduit tout d'abord par un grand nombre de portes élémentaires. Il faut, par conséquent éliminer les logiques à déplétion, à cause de leur trop forte consommation par opérateur. Quant aux dispositifs à enrichissement, leur très grande sensibilité aux variations des paramètres technologiques (épaisseur de la couche, états de surface, ...) réclame une très bonne maîtrise du processus technologique.

L'état de l'art actuel dans la réalisation des dispositifs AsGa ne permet pas la conception, avec cette approche technologique, de circuits aussi complexes. La famille logique "Quasi-normally-off", présentant une assez bonne tolérance aux variations des paramètres technologiques semble un assez bon compromis, malgré sa complexité plus grande. Pour une porte NOR à n entrées on passe de n + 1 composant pour la technologie DCFL à n + 4 composants en LPFL, soit une perte en nombre de composants intégrés dans le rapport :

$$\frac{n+4}{n+1}$$

250 % n = 1
200 % n = 2
175 % n = 3

Remarquons toutefois que cette evaluation est beaucoup trop pessimiste, chaque élément constitutif pouvant être utilisé pour réaliser un étage logique. De cette façon, trois ou même quatre niveaux de logique peuvent être obtenus sur un même opérateur LPFL (multigrille, diodes, drain, OU cablé) (cf. Chap. 1)

La jeunesse de la technologie ne permet pas, du moins pour le moment, de recherches poussées sur une topologie optimale du réseau mémoire. Celle-ci devra, donc, dans un premier temps être simple et bien cohérente avec l'acquis du laboratoire en matière d'intégration de circuits logiques sur AsGa.

...

Dans le même ordre d'idée, avant de se lancer dans la réalisation globale d'un circuit aussi complexe, il est préférable de travailler sur des circuits probatoires, permettant de tester les différents sous-ensembles et d'en étudier indépendamment le fonctionnement.

Toutes ces remarques nous ont amené, pour commencer, à réaliser un circuit RAM de 4 mots de 2 bits, permettant l'étude des différents organes constitutifs :

- Cellule mémoire
- Décodage
- Circuit de lecture
- Circuit d'écriture

Chacun de ces éléments fera l'objet d'un chapitre où nous présenterons la démarche utilisée pour les choix topologiques de ce premier circuit probatoire.

...

3.1. CELLULE MEMOIRE

Nous commencerons notre étude par le coeur du circuit, à savoir la cellule mémoire et son système d'accès. Comme nous l'avons vu précédemment elle peut être réalisée selon deux principes différents : utilisation d'un élément à résistance négative ou réalisation d'un bistable à l'aide de deux inverseurs couplés.

La première solution semble satisfaisante pour sa simplicité car elle ne requiert que deux éléments, un transistor à effet de champ et une diode Tunnel [22]. L'état actuel des technologies rend impossible la réalisation de ces derniers composants, repoussant ainsi ce type de cellule au rang de concept purement théorique. Notons cependant la réalisation d'un circuit (Fig. 3.1) dont l'impédance de sortie présente localement une résistance négative. Supposons la tension de sortie du montage V_S croissante depuis la masse jusqu'à la tension d'alimentation. Nous pouvons, selon les valeurs de V_S, étudier 4 régimes de fonctionnement (Fig. 3.1.b)

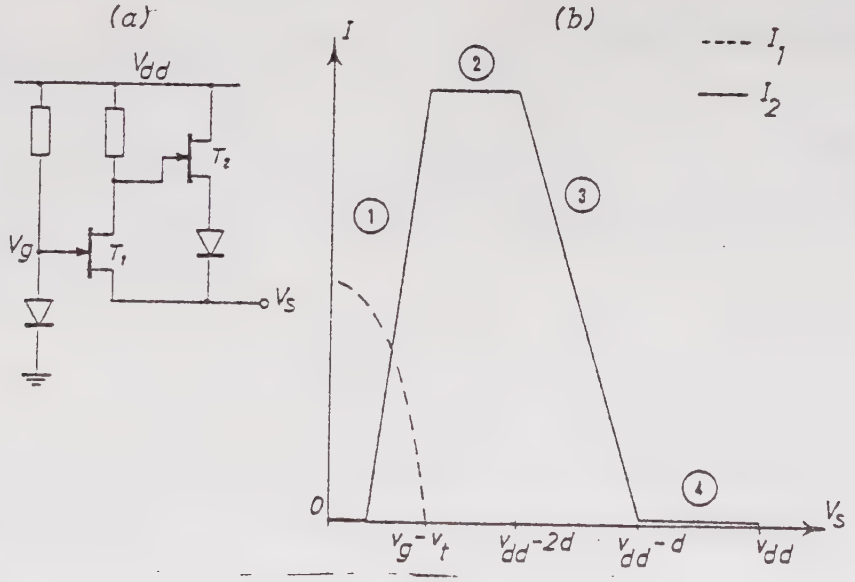


Fig. 3-1

...

1) - La tension de grille du transistor T_1 étant constante, le courant I_1 (dans T_1) diminue jusqu'à s'annuler (courbe en pointillé) pour une valeur $V_s > V_G - V_T$

Le blocage de ce transistor entraine un accroissement rapide de la tension grille de T_2 qui permet le déblocage de ce transistor.

2) - Le transistor T_2 se comporte en suiveur, sa tension grille source est constante

3) - Le potentiel de grille de T_2 atteint la tension d'alimentation. Sa tension grille-source diminue au fur et à mesure de l'accroissement de la tension de sortie forçant le courant I_2 à décroître. Dans le même temps, la tension drain-source diminue.

4) - La tension grille-source du transistor T_2 atteint V_T, imposant au courant I_2 de s'annuler à son tour

Remarque : Sur la figure 3.1.b le symbole d représente la tension 0.7 V comme il est expliqué dans la remarque du § 1.5.2.b

L'étude du fonctionnement de ce dispositif permet alors de déterminer deux règles de conception :

- la largeur du transistor T_1 doit être inférieur à celle du transistor T_2
- la résistance de charge de T_1 doit être suffisamment grande pour bien assurer le blocage du transistor T_2

$$R_L > \frac{V_{DD}}{I_{max(T_1)}}$$

Avec une telle charge, la réalisation d'un bistable devient aisée (fig. 3.2) La polarisation de grille variera entre un niveau moyen qui assurera l'existence de deux états stables et deux niveaux V_{Bi} et V_T qui assurerons respectivement l'écriture d'un "zéro" et d'un "un"

...

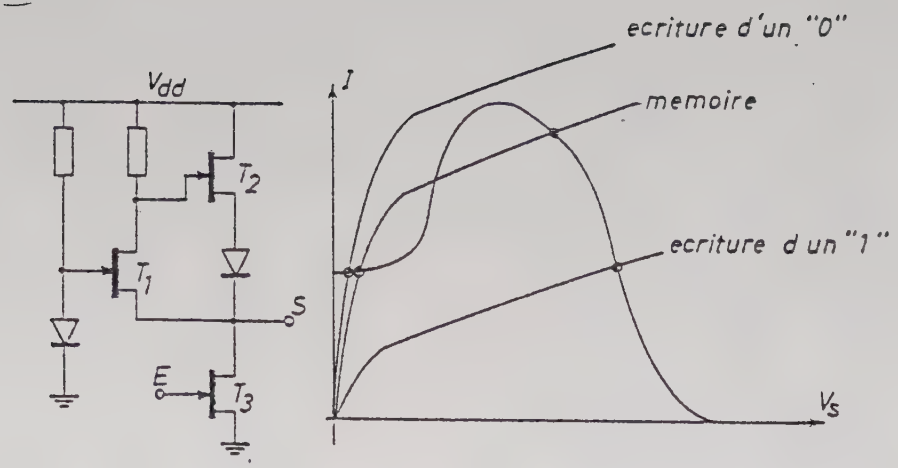


Fig. 3-2

La difficulté de réaliser des circuits d'attaque à trois niveaux logiques nous amène à étudier des cellules beaucoup plus classiques, réalisées par couplage de deux inverseurs, avec une complexité globale similaire. Pour une telle approche, il devient possible de concevoir autant de cellules qu'il existe de types d'inverseurs dans la technologie utilisée. La logique LPFL telle qu'elle est définie actuellement permet de réaliser quatre inverseurs de bases (fig. 1.14), mais aussi, en permutant second et premier étage, quatre inverseurs dérivés appelés de "type inverse" par opposition aux "type direct" où l'on entre sur la grille. C'est donc au total huit bistables différents qui sont envisageables dans cette technologie (fig. 3.3 à 3.10).

Le mode de couplage des cellules avec les éléments d'entrée-sortie, impose par ailleurs des conditions sur l'alimentation du circuit, une étude détaillée de la cellule ne pourra se faire que lorsqu'on aura choisi les organes d'accès. Néanmoins, à ce stade de l'étude, une comparaison entre les différents bistables peut se faire d'une manière qualitative. La fig. 3.11 donne le chronogramme de basculement des différentes cellules. On force le niveau d'un côté de la cellule et l'on regarde l'évolution de la tension sur l'autre point du bistable.
Le tableau (Fig. 3.12) résume les principales caractéristiques envisageables.
Un certain nombre de remarques peuvent être faites à ce sujet :

...

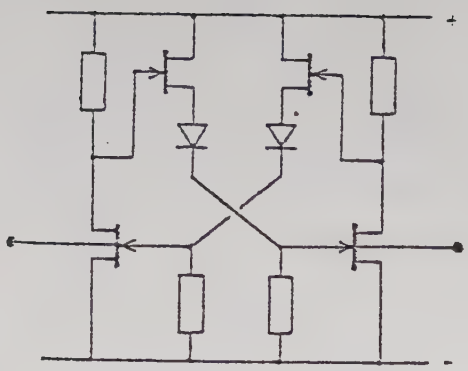


Fig. 3-3 Cellule 1 direct

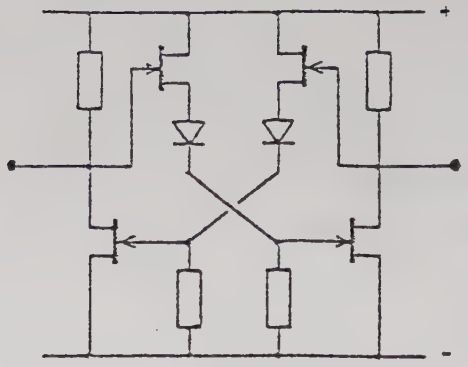


Fig. 3-4 Cellule 1 indirect

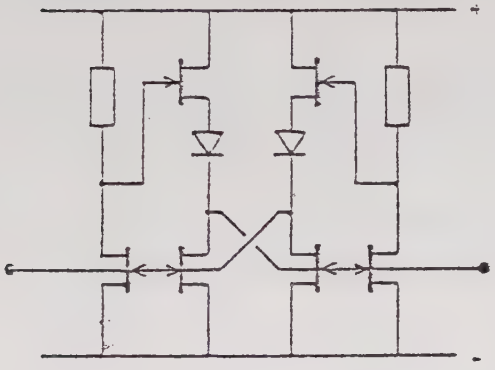


Fig. 3-5 Cellule 2 direct

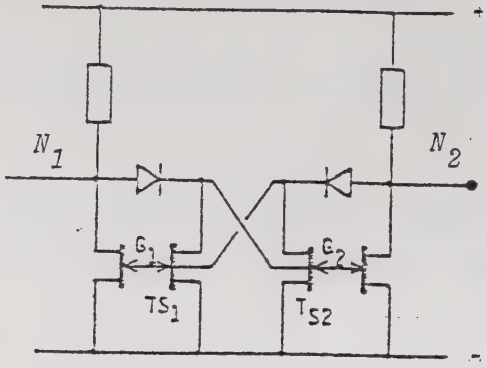


Fig. 3-6 Cellule 2 indirect

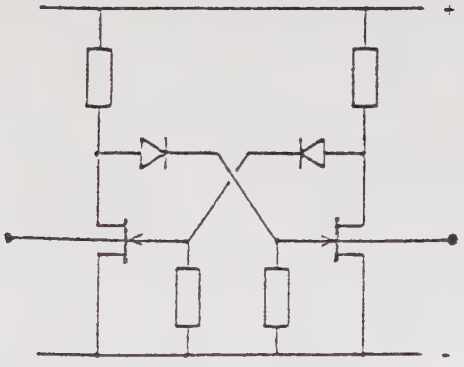


Fig. 3-7 Cellule 3 direct

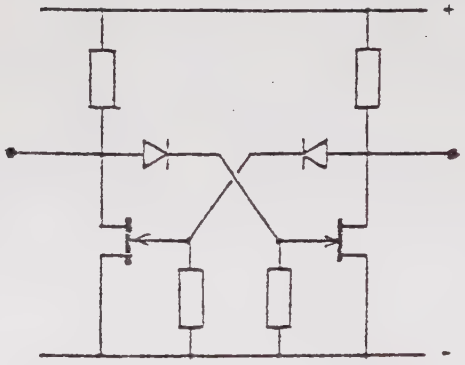


Fig. 3-8 Cellule 3 indirect

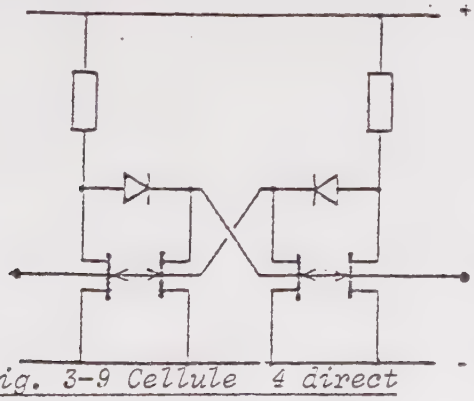


Fig. 3-9 Cellule 4 direct

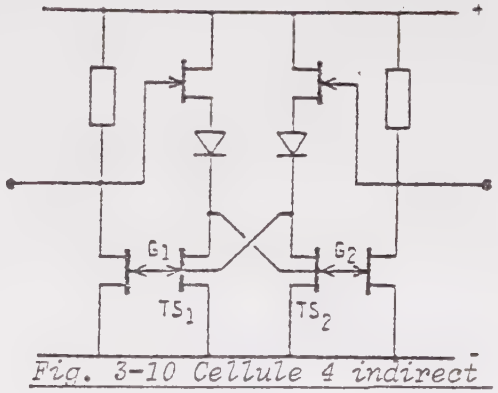


Fig. 3-10 Cellule 4 indirect

i) L'étude du basculement des cellules 2I et 4I montre un asymétrie importante dans les réponses à un front montant ou descendant. Supposons en effet un état initial où le point N_1 est à un niveau haut (fig. 3.6). Si nous imposons rapidement un potentiel bas, le point G_2 reste à haute impédance puisque le transistor T_{SX1} est initialement bloqué. Il s'ensuit une forte constante de temps de basculement. Cette bascule se prête donc mieux à une écriture par un niveau haut. Nous avons noté ce type de comportement dans la colonne "niveau d'écriture" du tableau récapitulatif sous la forme "H" au lieu de "H/L". Remarquons toutefois que ces types d'inverseurs (type 2I et 4I) n'ont pas d'existence propre et ne sont concevable que dans le cas d'une cellule bouclée.

ii) L'excursion logique et la tension d'alimentation sont des valeurs typiques susceptibles de légères variations

iii) La consommation a été établie sur la base d'une conception à largeur de transistor minimum de 20 µm (ce qui a d'ailleurs été adopté pour toute la mémoire).

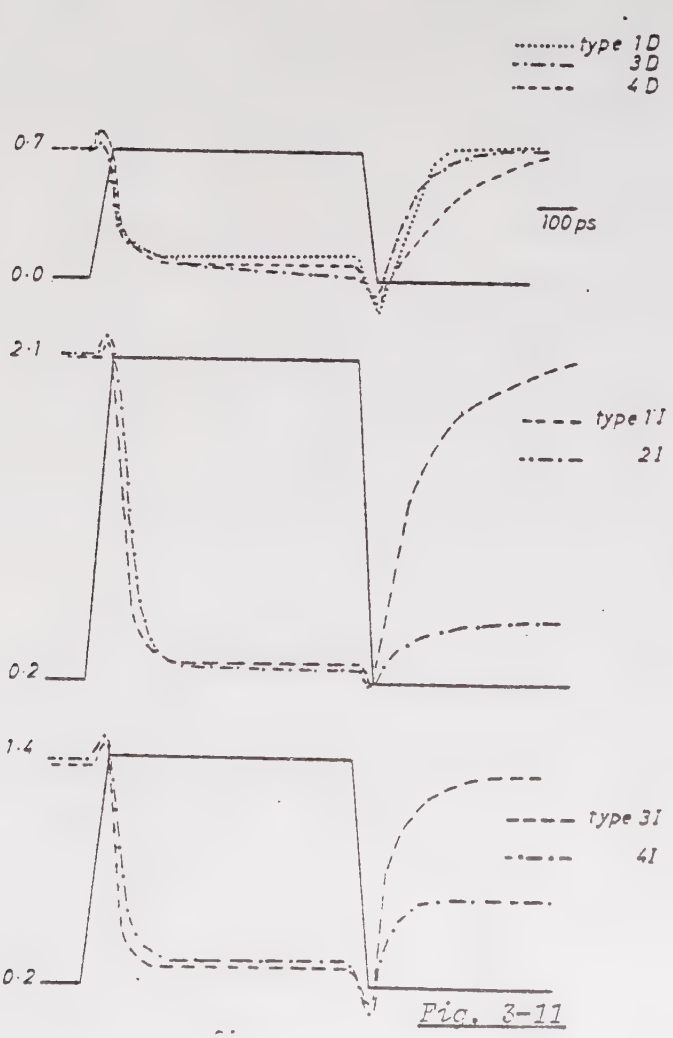


Fig. 3-11

Pour guider notre choix, indépendamment de l'environnement des cellules, trois considérations peuvent nous aider dans la sélection du bistable :

- Toutes choses égales par ailleurs, il est plus facile de détecter et d'amplifier un signal à excursion logique élevée. Cela milite en faveur des bistables de type inverse au détriment de ceux de type direct où l'attaque se fait sur la grille du FET inverseur et limite par conséquent l'amplitude logique aux alentours de 0.7 V.

- Les cellules de type 3I et 4I présentent une complexité plus faibles malgré un léger handicap au niveau de la vitesse de basculement vis-à-vis de leurs homologues 1I et 2I.

- La vitesse de basculement de la cellule ne participe que faiblement au temps d'accès de la mémoire étant donné les retards induits par les éléments de décodage (sortance élevée) et les charges présentes sur le trajet de l'information (cellules non adressées, capacités d'interconnexion ...).

Type de bistable	Excursion logique	Tension d' alimentation	Consommation (mw)	Niveaux d'ecriture
1 D	0.7	2.5	0.6	H L
1 I	1.8	2.5	0.6	H L
2 D	0.7	2.5	0.6	H L
2 I	1.8	2.5	0.6	H
3 D	0.7	2.5	0.4	H L
3 I	1.0	2.5	0.4	H L
4 D	0.7	2.0	0.4	H L
4 I	1.1	2.0	0.4	H

Fig. 3-12

3.2. ACCES AUX CELLULES

Indépendamment du bistable lui-même, il est possible d'accéder aux cellules mémoires de différentes façons. Nous avons vu (chap. II) que toutes les cellules correspondant aux bits de même poids des différents mots sont destinées à être connectées ensemble par l'intermédiaire des lignes de bits qui seront notées dans la suite de ce travail LB_0 et LB_1. Pour réaliser cette connexion il faut donc intercaller entre ces deux lignes et les noeuds internes des cellules, des éléments d'isolement devant remplir les fonctions ci-dessous :

- Isolement des cellules adressées .
- Connexion de la cellule adressée aux lignes de bits correspondantes .
- Permettre d'accéder à l'état de la bascule adressée (lecture).
- Permettre d'imposer un état à la bascule adressée (écriture).

Ces fonctions peuvent être réalisées par l'intermédiaire d'un élément non linéaire (diode ou transistor) selon différentes configurations simples que nous allons examiner ci-dessous (fig. 3.13) :

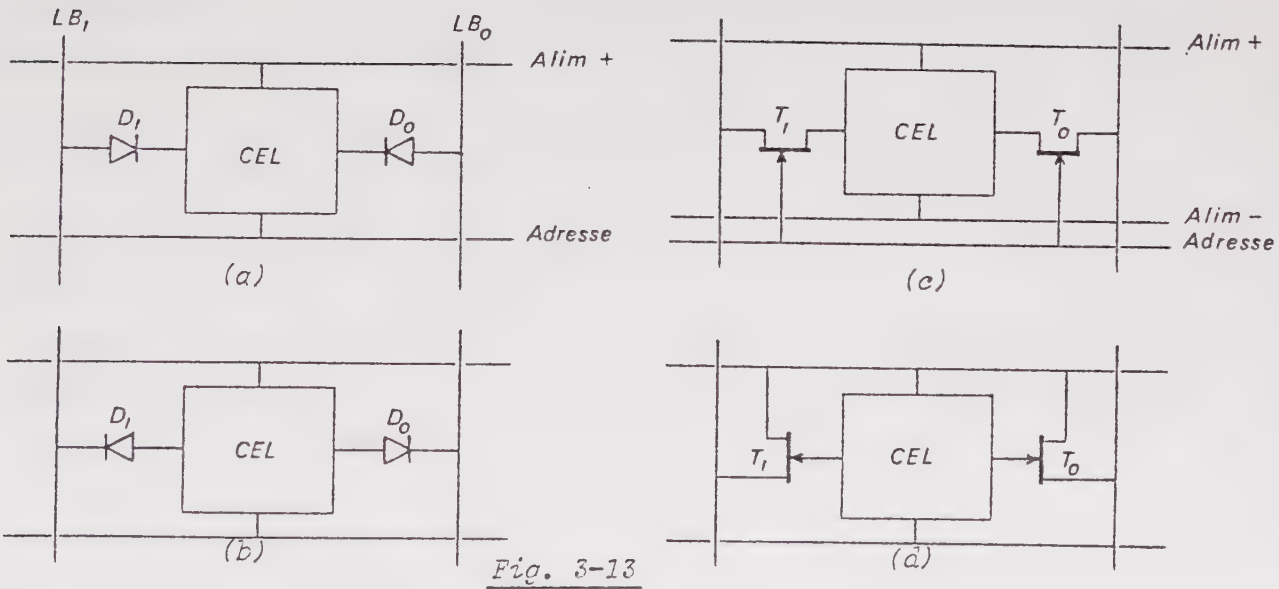


Fig. 3-13

3.2.1. Types de couplages réalisables en technologie MESFET

a) Accès par diodes injectrices (accès D1) [23]

L'isolement des cellules non adressées est assuré si le potentiel des noeuds d'accès aux bistables (N_1 et N_2) est suffisamment haut par rapport au potentiel maximum des lignes de bits (état haut de LB_0 ou LB_1). Cette condition peut être réalisée en imposant un potentiel adéquat sur la ligne d'alimentation basse de la cellule qui devient ainsi une ligne d'adressage. Une cellule adressée se caractérise donc par un niveau bas sur la ligne d'adressage correspondante de façon à rendre les diodes conductrices. Ce moyen de couplage impose par conséquent un type de décodage mot où seule une configuration des entrées d'adressages adéquate est capable d'imposer un niveau bas sur la ligne de mot : décodage OU, en utilisant la notation présentée au chapitre 2. Toutes les cellules adressées par la même configuration des entrées ont la même ligne d'adressage qui devient de ce fait, ligne de mot (ainsi que nous la désignerons dans la suite de ce travail Lm).

L'accès à la cellule adressée est réalisé par la mise en conduction d'au moins une des deux diodes. De part la configuration, nous constatons que l'écriture ne peut s'effectuer que par injection d'un courant suffisant pour imposer un niveau haut à l'un des deux pôles du bistable. La lecture s'effectue par détection de la différence de courant disponible, dans les deux lignes de bits, par suite de la différence des potentiels N_1 et N_2, à travers des charges de lectures reliées à l'alimentation haute.

b) Accès par diodes extractrices (accès D2)

Il s'agit du système dual du précédent et dont le fonctionnement est similaire, en inversant le sens des courants :

. La ligne de mot est adressée par un niveau haut (adressage de type ET)
. Lecture et écriture par extraction de courant à travers des charges reliées au potentiel bas du circuit

...

c) Accès par transistor interrupteur (accès T_1) [24]

Dans sa configuration de base, ce système peut se comporter, suivant le sens dans lequel nous utilisons le transistor d'accès, comme un système à injection ou à extraction de courant, sans amplification. Nous pouvons immédiatement remarquer que ce montage réclame une ligne d'accès supplémentaire (devant les autres montages qui utilisent un des fil d'alimentation comme ligne d'adressage), d'où une pénalisation au niveau de la complexité du circuit.

Néanmoins, ce type de montage est le seul qui permette une polarisation des cellules sous une tension constante. Ceci présente au moins trois avantages :

- les cellules peuvent être alimentées sous une faible tension.
  Ceci est intéressant pour minimiser la consommation globale de la matrice.
- suppression des phénomènes transitoires dus à la variation de la tension d'alimentation de la cellule.
- optimisation des marges de stabilité du bistable par un choix judicieux de ces éléments constitutifs. Dans les circuits où l'adressage se fait par variation de la tension d'alimentation, le choix des éléments, donc les plages d'immunité, résulte d'un compromis entre les états adressés et non-adressés.

Ce type de couplage, couramment utilisé dans les mémoires MOS statiques se distingue des autres mode grâce à sa conduction bidirectionnelle qui permet d'optimiser indépendamment l'écriture (plus favorable en extraction) et la lecture. Nous reviendrons un peu plus loin sur ce type de circuit lorsque nous examinerons l'influence de ces deux options sur les caractéristiques des éléments constituant le bistable.

d) Accès par transistor suiveur

L'isolement entre les cellules est, dans ce cas, réalisé par le blocage d'un transistor monté en drain-commun. Ceci impose une organisation de type ET, pour l'adressage mot. L'avantage essentiel de l'utilisation d'un transistor suiveur comme élément d'isolation réside dans le gain en courant que celui-ci peut réaliser au moment de la lecture. Nous obtenons ainsi une adaptation d'impédance entre la cellule et la charge capacitive présente sur les lignes de bits (capacité d'autant plus élevée que le nombre de mots est grand). Le gain de ce type d'accès doit surtout se manisfester dans les configurations complexes où la charge des lignes de bits représente une portion essentielle (avec l'adressage) du temps d'accès.

...

L'écriture s'effectue par la mise en conduction de la jonction grille canal du FET d'accès. Ceci peut être réalisé en imposant sur les lignes de bits un potentiel suffisamment bas.

On peut rapprocher ce type de couplage de celui utilisé dans les mémoires bipolaires où les inverseurs sont réalisés avec deux émetteurs dont l'un sert à la liaison avec les lignes de bits [21].

3.2.2. Choix du type de couplage

Le choix entre un mode ou l'autre de commutation (inversion ou extraction) se fait surtout par des considérations d'immunité au bruit du dispositif pour lequel la lecture ne doit pas entrainer d'altération de l'information stockée. Interessons nous dans un premier temps à une comparaison des modes de couplages utilisant une sélection par commutation d'une des lignes d'alimentations. Sur la figure 3.14, on a représenté les caractéristiques de charges d'un transistor, en tenant compte du courant débité dans le circuit de décalage et l'étage suivant ; ceci pour les cas extrêmes de fonctionnement des circuits LPFL type 3 ($-0.2 < V_T < 0.2$)

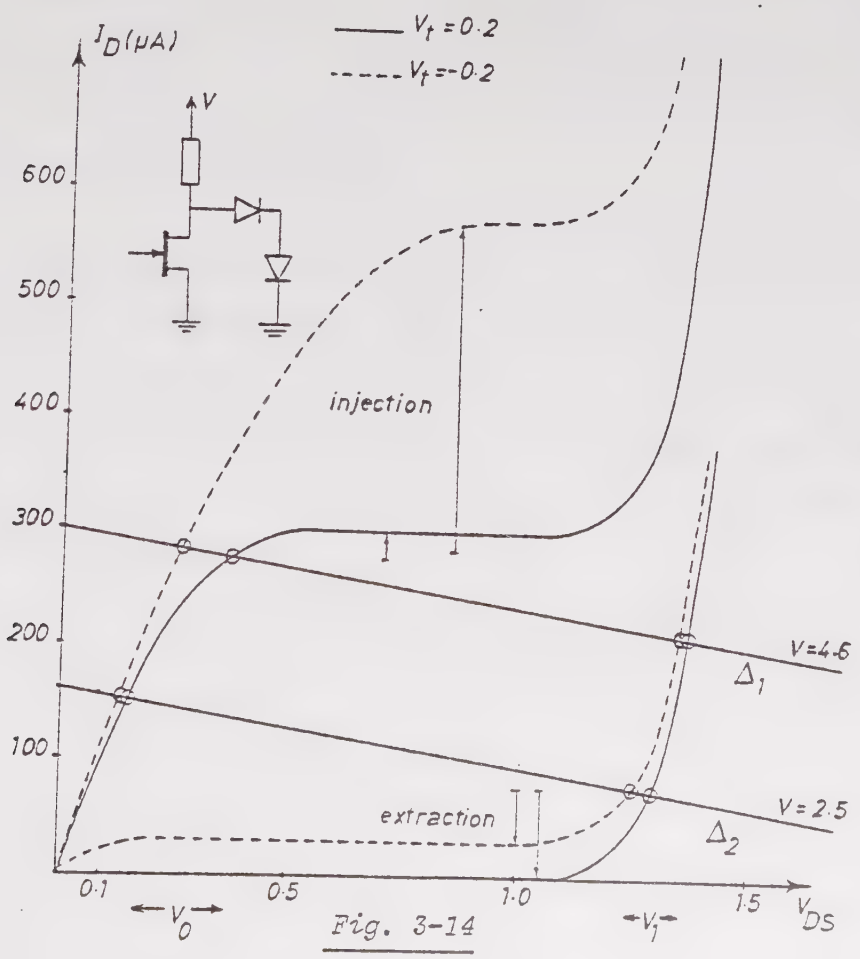


Fig. 3-14

Pour obtenir un transfert statique correct dans la plage des tensions de seuils admissibles, la résistance de charge doit être suffisante pour polariser correctement le transistor dans le pire cas, c'est-à-dire $V_T = + 0.2$. Suivant le mode d'adressage sélectionné : type ET ou OU, la droite de charge du système est représentée par Δ_1 (adressage par niveau bas - OU) ou par Δ_2 (par un niveau haut - ET).

Les marges d'immunité en courant sont représentées sur la figure par la quantité de courant qu'il faut injecter ou extraire du transistor pour déplacer notablement le point de fonctionnement sur sa caractéristique statique et provoquer par cela une commutation du circuit. Deux remarques peuvent être immédiatement faites :

- la marge d'injection est éminemment variable avec la tension de seuil et peut même être très faible dans le cas limite ($V_T = + 0.2$).
- la marge d'extraction avant déplacement du point de fonctionnement est quasi indépendant de la tension de seuil.

Une bonne plage d'immunité permet d'utiliser un plus grand courant pour la lecture sans pour cela risquer un basculement intempestif du point mémoire. Fort de ces remarques, nous choisirons donc pour notre projet de réaliser un couplage par extraction du type transistor suiveur. Ce type de montage, outre sa propriété de gain en courant, permet s'il est bien polarisé, une lecture sans extraire de courant en régime stabilisé, conservant par conséquent intact les marges de stabilité du bistable.

En dehors des systèmes examinés ci-dessus, que nous qualifierons de simples en ce qu'ils ne nécessitent qu'un élément par ligne de bit, il est possible de concevoir des accès plus sophistiqués. D'une façon générale, ils vont tous à l'encontre de la simplicité du circuit et leur validité globale semble douteuse. Nous mettrons par exemple dans cette classe les systèmes asymétriques faisant jouer un rôle particulier à chaque ligne de bit, l'une étant vouée à l'écriture, l'autre à la lecture.

...

La connaissance du mode de couplage permet de déterminer les niveaux sur les lignes d'adressage. Dans les trois cas qui nous intéressent (diode injectrice, extractrice ou transistor suiveur), ces niveaux permettent de déterminer la valeur de la tension d'alimentation du circuit, donc des éléments constitutifs du bistable.

Prenons, par exemple une cellule ayant une excursion logique Δ_L. Les niveaux bas et haut peuvent s'écrire respectivement V_0 et $V_0 + \Delta_L$.

Supposons maintenant que l'adressage ait pour but de faire varier le niveau de référence V_0 sans altérer l'excursion logique. Nous avons donc :

$$\text{cellule adressée} \begin{cases} V_{adr} \\ V_{adr} + \Delta_L \end{cases} \qquad \text{cellule non-adressée} \begin{cases} V_{n\ adr} \\ V_{n\ adr} + \Delta_L \end{cases}$$

Le circuit adressé permet, grâce à ses niveaux statiques, une polarisation correcte de l'organe de couplage, qui rempli ainsi pleinement son rôle. A ses bornes, la tension reste fixée à une valeur V_c et les lignes de bits se stabilisent à des potentiels :

$$\begin{cases} V_{adr} \pm V_c & + \text{ injection} \\ V_{adr} + \Delta_L \pm V_c & - \text{ extraction} \end{cases}$$

Afin d'assurer le bon isolement des cellules non-adressées, la tension aux bornes de l'élément non linéaire assurant le couplage avec les lignes de bit doit être, dans le pire cas, nulle ou négative (cellule non-adressée dans l'état inverse de celle adressée). Nous pouvons alors définir la règle suivante :

$$\pm (V_{adr} - V_{n\ adr}) > \Delta_L + V_c \qquad \begin{matrix} + \text{ extraction} \\ - \text{ injection} \end{matrix}$$

...

Dans le cas pratique d'une cellule de type 3I l'excursion logique est d'environ 1.1 V, soit en prenant les notations simplifiées dont nous avons déjà parlé, 2d - r. La tension aux bornes de l'élément de couplage V_c est dans tous les cas égale à d (tension diode ou tension grille source de FET). L'inégalité précédente s'écrit alors, dans le cas d'un couplage par transistor suiveur :

$$(V_{adr} - V_{n\ adr}) \geq 3\ d - r$$

Afin de ne pas se pénaliser sur le plan de la consommation, les différents niveaux d'adressage seront choisis les plus faibles possibles soit :

$$V_{adr} = 3\ d \qquad\qquad V_{n\ adr} = r$$

Un circuit simple fournissant ces deux tensions est donnée figure 3.15. Nous l'examinerons plus en détails lors de l'étude de l'adressage, au chapitre suivant.

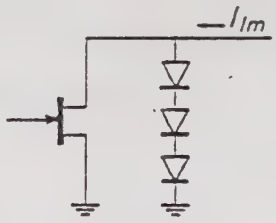


Fig. 3-15

Conséquence sur les éléments du bistable - application pratique

Connaissant ces niveaux d'adressages, il est possible de déterminer la tension d'alimentation et par ce fait, les éléments constitutifs du bistable.

L'application des règles de conceptions données au § 1.5.2.b permet de définir les équations fonctionnelles du circuit (fig. 3.16) :

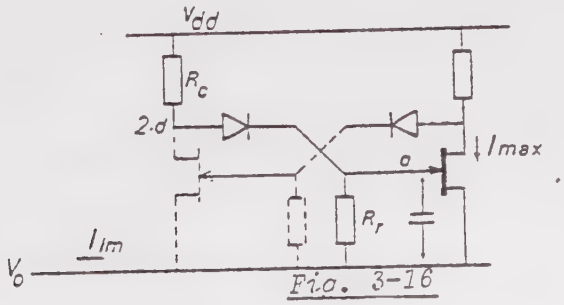


Fig. 3-16

...

a) $R_c = k \cdot \frac{V_{DD} - V_0}{I_{max}}$ $\qquad k > 1$

b) $R_R = 200\ ps/Cgs$ $\qquad C_{gs} \simeq 10^{-3}\ pF/\mu^2$

c) $R_R \cdot \frac{V_{DD} - 2\,d - V_1}{R_c} > d$

La solution de ce système donne la tension d'alimentation :

$$V_{DD} > \frac{V_1 + 2d - k\,\frac{d.V_0}{R_R \cdot I_{max}}}{1 - \frac{k\,d}{R_R \cdot I_{max}}}$$

Dans le cas d'une commutation par injection, l'abaissement brutal de la tension d'alimentation basse à pour conséquence d'injecter transitoirement une forte impulsion de courant dans le FET à l'état passant, due principalement à la décharge de la capacité de la ligne de bit. Un simple calcul allié à des simulations montre qu'elle peut être du même ordre de grandeur que le courant du transistor. Pour tenir compte de cette injection qui ne doit pas altérer l'état du bistable, les transistors qui la constitue serons surdimensionnés. C'est la raison de l'apparition d'un "facteur de forme" k dans les expressions précédentes.

Pour les couplages par extraction k pourra être choisi voisin de 1. Dans les autres cas, une valeur de 2 est un minimum.

k = 1	V_{DD} = 4.6 V	R_c = 16 kΩ	R_R = 10 kΩ	Z = 20 µm
k = 2	V_{DD} = 6.3 V	R_c = 40 kΩ	R_R = 10 kΩ	Z = 20 µm

Cette remarque condamne toute réalisation de mémoire par assemblage de ce type de cellules (3I) couplées par diodes injectrices car dans ce cas, la tension d'alimentation minimale et la consommation devient très vite un facteur limitatif. La cause principale de cet echec est la condition sur le rapport entre les deux résistances de la porte. Elle n'apparaitra pas dans les réalisations de type DCFL où pour rester en logique faible seuil, dans les circuits de type 1I (les deux résistances sont découplées) ou de type 4 (la résistance de rappel étant remplacée par un transistor).

...

Il nous reste maintenant à dire quelques mots au sujet de l'autre mode de couplage dont nous avons parlé, à savoir l'utilisation de transistors en interrupteur.

Regardons d'abord le comportement de ce circuit lors d'une opération d'écriture. Si l'on impose au circuit un niveau haut, le transistor d'adressage permettra l'injection de courant lorsque sa grille est haute.

Le niveau sur sa source aura tendance à croître entrainant un pincement du transistor d'adressage. Sur l'autre borne de la cellule la polarisation du FET de couplage entraîne une extraction de courant vers la ligne de bit. Ces deux phénomènes : pincement d'un côté, déblocage de l'autre contribuent à un ralentissement de la commutation.

Si l'on écrit maintenant en imposant un niveau bas sur une des lignes de bit. Le transistor d'adressage du côté actif reste polarisé à la même tension et le courant d'écriture (extrait) reste constant (en négligeant l'effet de la tension drain-source sur la valeur de ce courant). Un tel circuit se prête donc beaucoup mieux à une écriture par un niveau bas c'est-à-dire en extraction.

Dans ce type de cellule, la lecture se fera de préférence en injectant du courant depuis la ligne de bit vers le bistable. Pour éviter toute détérioration de l'information lors d'une lecture on devra , par conséquent, surdimensionner la largeur des FET inverseurs, vis-à-vis de leur résistance de charge. Il résulte de ce "facteur de forme" , un décalage de la fonction de transfert qui se traduit par une diminution de la marge de stabilité haute, facilitant ainsi l'écriture par extraction.

Malgré sa simplicité permettant d'espérer une faible consommation ce type de réalisation souffre principalement de deux inconvénients :

- il réclame une ligne d'accès supplémentaire. L'augmentation du nombre de capacités de croisements qui en découle contribuera à une dégradation des performances dynamiques.

...

- On pert le bénéfice du gain en courant obtenu dans les montages à transistor suiveur.

Désirant dans l'immédiat réaliser un circuit présentant les meilleures performances en vitesse nous avons laissé de côté ce type de réalisation. Il faut toutefois remarquer que les principes de réalisation des différents organes de la mémoire peuvent être aisément transposés pour s'adapter à ce cas particulier.

3.3. SYSTEME D'ADRESSAGE

La fonction de ce circuit est d'assurer une bijection entre l'ensemble des mots mémoires contenus dans la matrice et les combinaisons d'adresses admissibles en entrée. Le coeur d'un tel système est donc essentiellement un décodeur qui comportera autant de sorties que de mots adressables.

Nous avons déjà parlé au chapitre 2 des principes du décodeur et de l'influence de la topologie de la matrice sur la réalisation de celui-ci. Rappelons qu'il se pose deux problèmes distincts :

- adressage d'une ligne de mot, c'est-à-dire mise à niveau correct de celle-ci de façon à assurer un bon couplage entre les cellules de la ligne et les organes d'entrée-sortie, par l'intermédiaire des lignes de bits.
- la sélection parmi tous les mots d'une même ligne de celui effectivement adressé par les entrées.

Dans ce qui suit, nous n'étudierons que le décodage ligne, toujours présent dans les mémoires, même les plus simples. Le décodage de mot basé sur le même principe ne présente pas de problème supplémentaire et sera surtout réalisé en agissant sur les organes d'entrée-sortie, ainsi que nous le verrons ultérieurement.

En toute généralité, le système d'adressage comportera au moins trois étages :

- un étage décodeur proprement dit permettant la sélection d'une seule de ses sortie pour une combinaison des entrées fixées.

...

- Un tampon d'entrée fournissant,avec des niveaux capables de piloter le décodeur, deux signaux, l'un en phase avec l'entrée, l'autre son complément. Les retards de ces deux signaux par rapport à l'entrée doivent être, bien entendu, les plus faibles possibles et de préférence égaux.

- Un tampon d'interface transformant les sorties du décodeur en des niveaux permettant à la fois l'adressage de la ligne sélectionnée et l'isolement par l'intermédiaire de l'organe de couplage des autres rangées de bascules.

3.3.1. Etage tampon d'interface

L'étude de ce dernier étage a été envisagée au § 3.2., dans le cas où l'adressage se fait par action sur la ligne basse d'alimentation. Rappelons qu'une élévation du niveau sur cette ligne permet, en décalant d'une quantité égale les deux noeuds d'accès de la cellule, d'agir sur la polarisation de l'élément de couplage. Ceci afin d'assurer soit l'isolement de la cellule, soit sa connexion avec les lignes de bit. Un montage simple assurant cette fonction a été présenté. La ligne de mot est reliée à la masse par l'intermédiaire d'un transistor qui, s'il est passant, la positionne à un niveau bas. S'il est bloqué, le rebouclage de l'alimentation se fait à travers une série de diodes qui assurent l'élévation du potentiel de la ligne de mot (Fig. 3.13).

La taille de ce transistor doit être choisie suivant deux critères distincts :

- lorsqu'il est passant, il doit être capable d'absorber tout le courant débité par les cellules polarisées à leur alimentation maximum.
- lorsqu'il est quasi-pincé, son courant résiduel doit être inférieur au courant circulant dans la ligne de mot.

Pour une cellule de type 3, que nous avons examiné en détails précédemment, le courant circulant dans une cellule est fourni par l'expression :

$$I_{cel} = \frac{2\,(V_{DD} - V_{LM}) - 2\,d - r}{R_c}$$

V_{LM} : niveau sur la ligne de mot

...

Dans l'exemple que nous détaillons :

$$I_{cel_0} = 430\ \mu A \quad \text{si } V_{LM} = 0.3\ V$$

$$I_{cel_1} = 220\ \mu A \quad \text{si } V_{LM} = 2.1\ V$$

S'il y a N_x cellules connectées ensemble sur une même ligne de mot, l'application des deux critères précédents permet de définir une fourchette pour le choix de la taille du transistor d'adressage.

La largeur minimum du transistor d'adressage peut être fixée par le biais de son courant maximum qui devra être dans le pire cas (tension de seuil positive) plus élevée que le courant fourni par les cellules - un ordre de grandeur peut être donné par la formule :

$$Z \simeq \frac{L_g\ N_x\ I_{cel_0}}{|\gamma V_p^{\,2}|_{min}}$$

soit pour les valeurs typiques $V_T = + 0.2$

$$\gamma = 60\ \mu A/V^2$$

$$Z \simeq 30\ N_x$$

La taille réelle de ce transistor sera ajustée de façon à obtenir à ses bornes une tension résiduelle conforme à nos souhaits concernant le niveau bas sur la ligne de mot.

La seconde règle que nous avons évoquée fixe la valeur maximum du courant résiduel circulant dans le transistor quasi-pincé. Dans tous les cas, ce courant devra être inférieur au courant débité par les N_x cellules connectées sur la ligne de mot. En supposant une allure quadratique pour la caractéristique courant tension en saturation, (hypothèse pas très réaliste mais qui permet d'obtenir des ordres de grandeur pour débuter les simulations) nous pouvons obtenir l'inéquation :

$$N_x\ I_{cel_1} > \gamma \frac{Z}{L}\ (V_0 - V_T)^2$$

...

avec V_0 potentiel bas appliqué sur la grille. En utilisant les valeurs typiques des paramètres $V_T = -0.2$, $\gamma = 35\ \mu A/V^2$, nous obtenons :

$$Z < 300\ \mu m \quad si \quad V_0 = 0$$

$$Z < 140\ \mu m \quad si \quad V_0 = 0.1\ V$$

Le cas des couplages par transistors interrupteurs n'est pas fondamentalement différent, le tampon d'interface étant dans ce cas remplacé par les FET de couplage. La charge totale sur les lignes de mot sera donc essentiellement constituée des $2.N_X$ transistors de couplage.

3.3.2. Etage décodeur

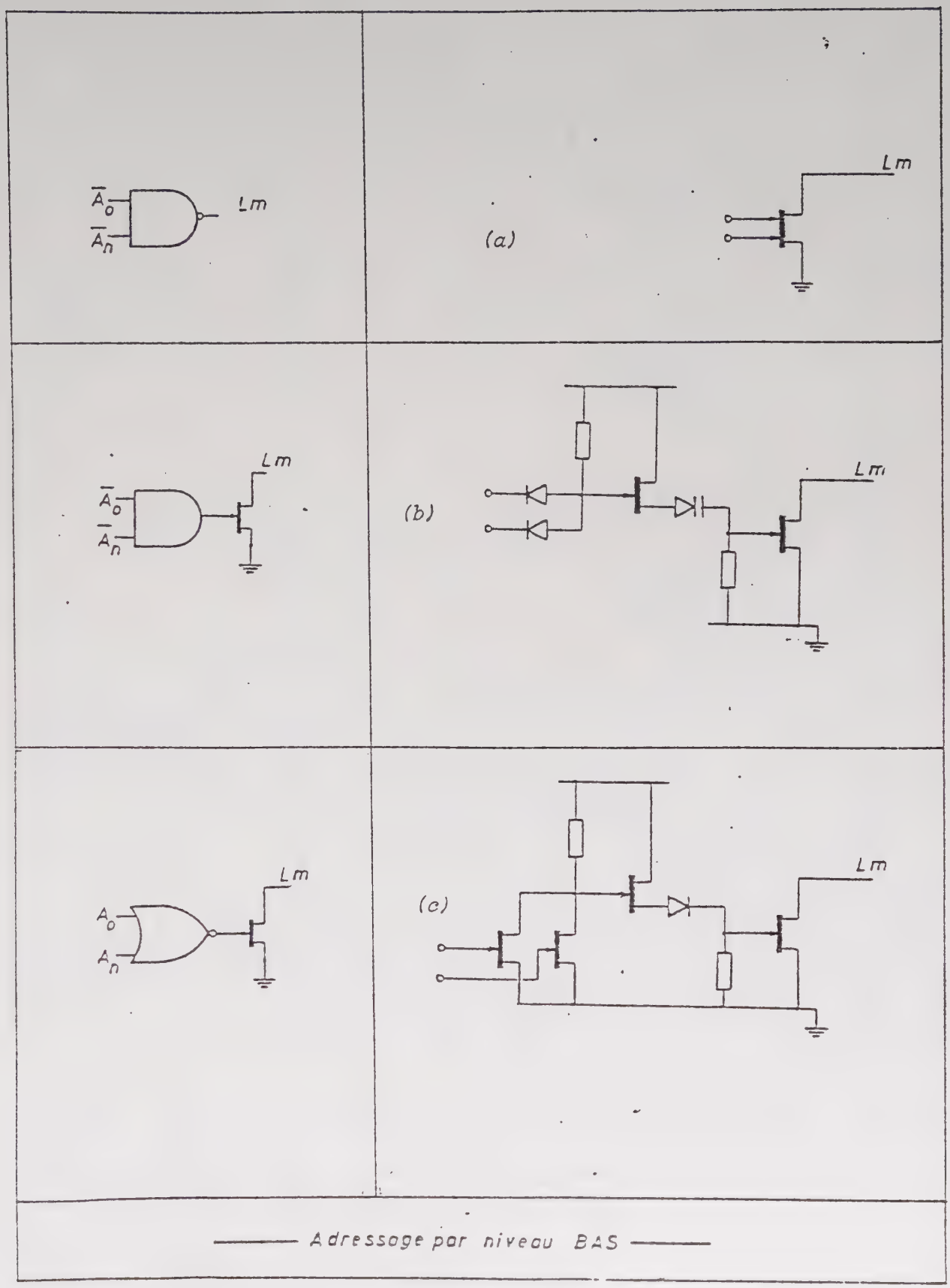
Comme nous l'avons déjà signalé dans les chapitres précédents, il existe deux grandes familles de décodeurs, suivant le niveau actif qui réalise le couplage de la cellule sélectionnée : décodeur de type ET si le niveau actif est un niveau haut,de type OU dans le cas contraire.

Une simple transformation de l'expression logique à réaliser permet d'envisager au moins trois fonctions logiques différentes par type de décodeur ainsi que le montrent les figures 3.17 et 3.18.

Toutes ces solutions n'ont pas évidemment des performances équivalentes. L'étude comparative, qui amènera le choix d'une réalisation devra se faire au moins dans les trois orientations suivantes :

- vitesse-consommation qui fixerons les performances électriques du décodeur. Certaines réalisations, étant pénalisées par un nombre de couches logiques à traverser plus important ou bien par une charge capacitive plus grande.
- Nombre d'entrées des portes de décodage (entrance) qui s'il est trop important interdit certains types de réalisations.
- Simplicité du circuit qui déterminera la facilité d'intégration du décodeur (nombre de composants, surface occupée ...).

...



Adressage par niveau BAS

Fig. 3-17

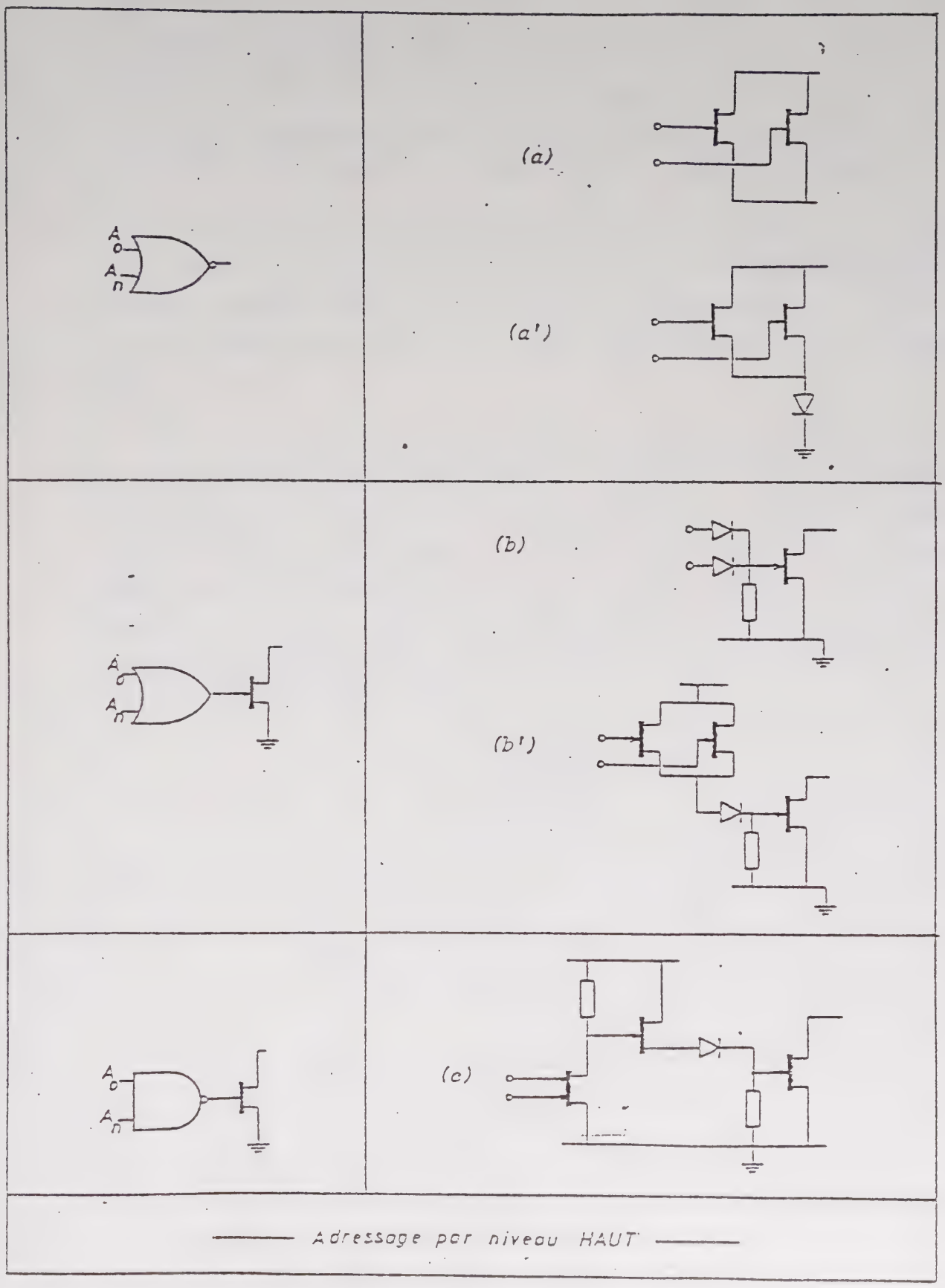


Fig. 3-16

A bien observer les solutions présentées sur les figures 3.17 et 3.18, on peut distinguer deux classes de réalisations, suivant la fonction du transistor d'adressage :

- Il réalise entièrement la fonction désirée (configuration a sur les figures 3.17 et 3.18)
- La fonction complémentaire de celle souhaitée est réalisée sur la grille du transistor d'adressage qui se comporte comme un simple inverseur.

i) La première solution parait bien évidemment la plus satisfaisante tant du point de vue vitesse (1 couche logique) que du point de vue consommation (aucun composant supplémentaire). De réalisation extrêmement simple, ce type de circuit ne peut cependant exister que si le nombre d'entrées est faible, typiquement deux.

Pour les circuits à transistors parallèles (de type NOR - fig. 3.18.a) cette restriction est due essentiellement à la valeur du courant résiduel, circulant dans les FET quasi-pincés. Dans le pire cas, c'est-à-dire quand toutes les grilles sont basses, la valeur de ce courant doit être suffisamment faible pour ne pas empêcher la montée du niveau sur la ligne de mot. En remarquant que chaque transistor doit être capable d'absorber à l'état passant le courant des lignes de mot, il est possible de déterminer le nombre maximum d'entrées E de la porte logique

$$E < \frac{1}{Z} \frac{L_g \cdot N_x \cdot I_{cel_1}}{\gamma (V_0 - V_T)^2}$$

si :

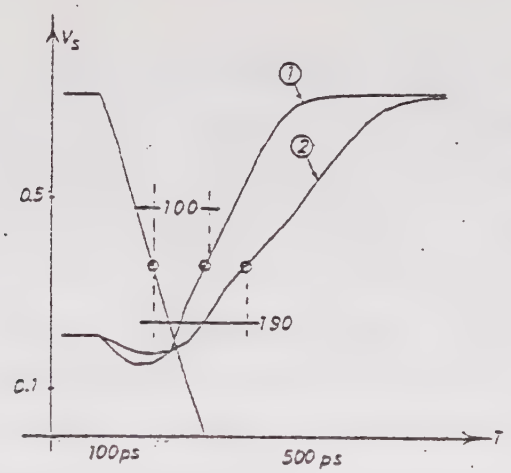
$V_T = -0.2$ $\qquad \gamma = 55\ \mu A/V^2$

$V_0 = 0$	$Z = 60\ \mu m$	$E = 5$
	$Z = 80\ \mu m$	$E = 3$
$V_0 = 0.1$	$Z = 60\ \mu m$	$E = 2$
	$Z = 80\ \mu m$	$E = 1$

Il est possible, à l'aide de diodes, d'améliorer le pincement des transistors ainsi qu'il est montré sur la figure 3.18.b. Remarquons que cette solution oblige à augmenter la tension d'alimentation d'environ 0.7 volts de façon à conserver les marges que nous nous sommes fixées.

Pour les portes de type NAND (Fig. 3.17.a) réalisées avec des transistors multigrilles, le problème est un peu plus complexe. En effet, les différentes grilles ne sont pas équivalentes du point de vue statique car les tensions grille-canal décroissent du fait de la contre réaction des étages inférieurs, quand on se déplace de la source vers le drain : il en résulte une diminution du courant maximum dans le transistor. Remarquons qu'il est possible de s'affranchir de cette contrainte en appliquant sur les différentes grilles des signaux d'amplitude différentes, en fonction de leurs positions respectives.

D'un point de vue dynamique également, les différentes grilles n'offrent pas des performances équivalentes ainsi que le montre la figure 3.20. On peut expliquer ce fait en représentant le transistor bigrille par deux transistors ordinaires connectés en série. La charge capacitive sur le drain du transistor inférieur est augmentée de la capacité grille-source de l'autre FET. Il en résulte une assez forte dégradation du temps de réponse à une variation de niveau sur la grille basse par rapport à celui mesurée lorsque l'action est appliquée sur la grille haute.



1) Attaque sur la grille haute - grille basse à 0.7 V
2) Attaque sur la grille basse - grille haute à 0.7 V

Fig. 3-20

...

Ce type de circuit se prête donc assez peu à la réalisation de notre décodeur car toutes les entrées doivent y être équivalentes. Remarquons que les observations que nous venons de faire en condamnent nullement ce type de transistor multigrille. Certain circuit, en effet,réclame de la rapidité uniquement sur le chemin critique, les autres entrées étant positionnées antérieurement.

ii. Nous avons vu qu'il était également possible d'utiliser le transistor d'adressage comme un simple inverseur, en réalisant sur sa grille,la fonction logique complémentaire de celle désirée pour l'adressage. Cette solution présente l'avantage d'atténuer les problèmes que nous venons de soulever (courant de fuite au quasi-pincement, entrée non équivalentes) en découplant la fonction d'adressage, dont les éléments sont imposés par la matrice, du décodage proprement dit. Néanmoins, elle nécessite l'insertion d'un étage supplémentaire qui entraine un accroissement du temps de décodage et de la consommation du circuit. Remarquons immédiatement que les solutions de type ET sont toutes plus simples que les circuits de type OU. Ceci contribue à justifier notre choix quant au mode de couplage par extraction avec adressage par niveau haut.

Si l'on considère que les différentes entrées du montage figure 3.18.b doivent être attaquées par des transistors en drain-commun faisant partie du tampon d'entrée, il est possible d'obtenir des performances équivalentes avec le circuit 3.18.b obtenu en utilisant ces transistors pour réaliser la fonction OU. Le choix que l'on fera, au niveau de l'implantation du circuit sera donc :

- Gros transistors d'attaque, communs à plusieurs portes mais en nombre réduit car situés au niveau du tampon d'entrée (fig. 3.18.b)
- Transistors plus petits mais en nombre plus important car situés à l'intérieur d'une porte de décodage (fig. 3.18.b')

Les valeurs des différents éléments du montage seront déterminés par les règles classiques que nous nous sommes fixées : la constante de temps de décharge de Cgs du transistor d'adressage (environ 100 ps) fixe la valeur de la résistance de rappel. Chaque transistor d'entrée sera calculée à partir de la valeur de cette résistance.

...

Si l'on remarque que pour réaliser un décodeur à N sorties, on a, pour chaque combinaison des adresses un nombre d'entrées activées constant, la consommation du décodeur peut être évaluée par l'une des expressions ci-dessous suivant que l'on considère le nombre d'entrée ou le nombre de portes actives

$$I_{Dec} = I_0 \cdot \frac{N}{2} \cdot \log_2 N \qquad I_{Dec} = I_0(N - 1)$$

I_0 est le courant circulant dans un transistor d'attaque.

Cette expression ne tient pas compte de l'étage tampon d'entrée qui sera étudié ultérieurement. Pour ne pas accroître exagérément la consommation, on sera donc amené à diminuer la taille des transistors d'attaque et par cela à dégrader légèrement les performances dynamiques du décodeur.

3.3.3. Le tampon d'entrée

La fonction de cet étage est de délivrer aux portes de décodage les niveaux d'attaques corrects. Il faudra donc concevoir un système délivrant deux signaux complémentaires, les plus synchrones possibles. Nous supposerons dans tout ce qui suit que les niveaux d'entrées sur les bornes d'adresses sont de types 0 → 0,7 V.

Deux cas peuvent être envisagés suivant que le niveau d'entrée des portes de décodage est, ou non compatible avec les adresses.

Dans le premier cas, les portes de décodage seront attaquées soit directement par le signal d'entrée, soit à travers un inverseur dans le cas d'une entrée complémentaire. L'inverseur réalisant cette fonction devra être optimisé en temps de traversée pour ne pas trop altérer le synchronisme entre les deux signaux. Plusieurs possibilités s'offrent à nous (cf. Fig.1.14) mais la plus rapide à consommation égale est l'inverseur de type 2 (fig. 3.21) qui donne après optimisation les performances suivantes :

$V_T = 0.0$ entrance 1 sortance 2 $V_{DD} = 4.6$ V

$T_1 = 40$ µm $T_2 = 30$ µm $T_3 = 60$ µm

$t_{pd} = 97$ ps $p = 4.1$ mW

Si les niveaux d'attaques des portes de décodage ne sont pas compatibles avec les entrées d'adresse, la réalisation du tampon d'entrée est un peu plus complexe. La première idée qui vient à l'esprit est de connecter deux inverseurs en cascade, les deux signaux utiles seront alors prélevés sur l'entrée et la sortie du second inverseur. Cette solution a pour principal inconvénient de gaspiller le temps de propagation du premier inverseur. La réalisation présentée sur la figure 3.22 évite cette perte de temps et fournit deux signaux bien en synchronisme. Elle présente aussi l'avantage de diminuer l'impédance d'entrée du circuit d'adresse et contribue ainsi à sa protection.

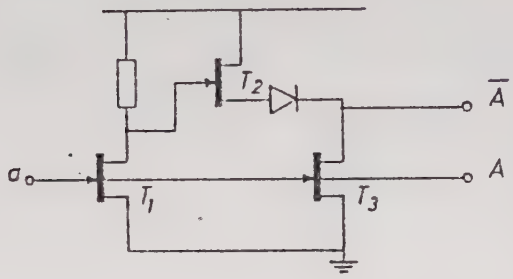


Fig. 3-21

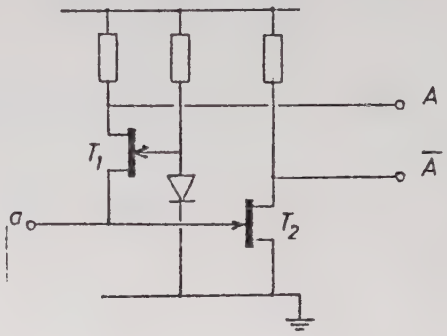


Fig. 3-22

Le transistor T_2, branché en inverseur fourni le signal complémentaire avec des niveaux fixés par la charge externe (porte de décodage). Le transistor T_1 dont la grille est à un potentiel fixe est attaquée par sa source. Il fourni son son drain un signal en phase avec l'entrée dont les niveaux sont identiques à ceux de la sortie complémentaire.

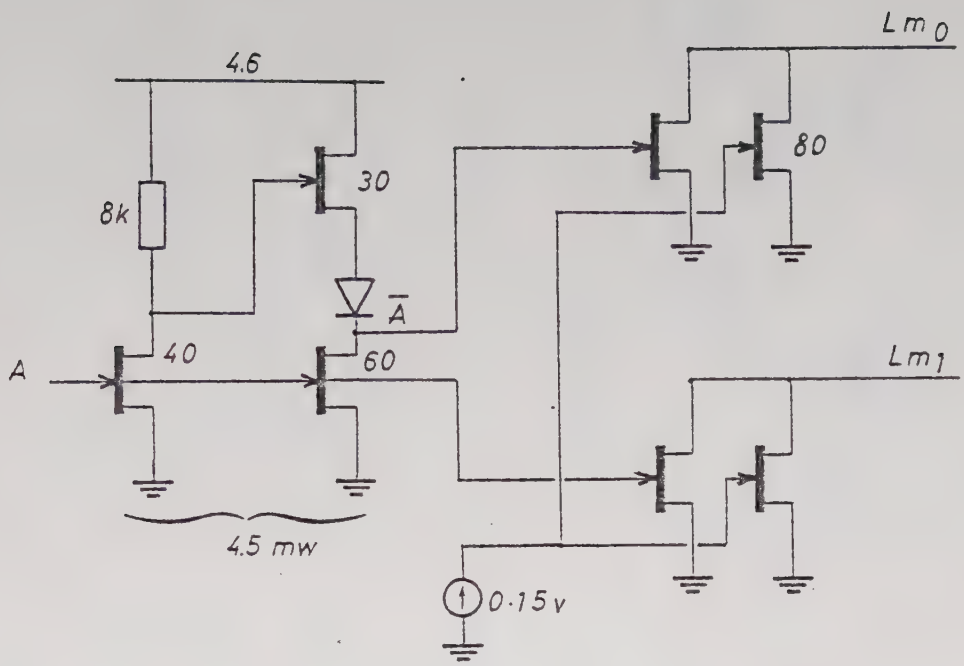
Les composants individuels de cet étage tampon sont choisis avec les critères de conception habituels, de façon à obtenir le meilleur compromis possible entre la vitesse et la consommation.

Les figures 3.23 et 3.24 illustrent deux types de réalisations en montrant comment évoluent les signaux d'adressage et les lignes de mots de la matrice, après une variation du signal d'adresse (décodage de type ET) (nous avons pris comme référence pour la mesure des temps caractéristiques, le milieu de l'excursion logique au point considéré). La solution adoptée sur la figure 3.24 permet très facilement d'étendre le nombre des entrées des portes pour accroître la complexité du décodeur. Néanmoins, cette solution est très défavorable sur le plan consommation comme le montrent les résultats ci-dessous, obtenus par simulation en conservant les géométries de la figure :

décodeur 1 entrées 2 sorties : 9 mW
décodeur 2 entrées 4 sorties : 33 mW
décodeur 3 entrées 8 sorties : 100 mW

...

$V_T = 0.0$


Lm0
4.6
80
30
8k
Ā
A
40
60
Lm1
4.5 mw
0·15 v

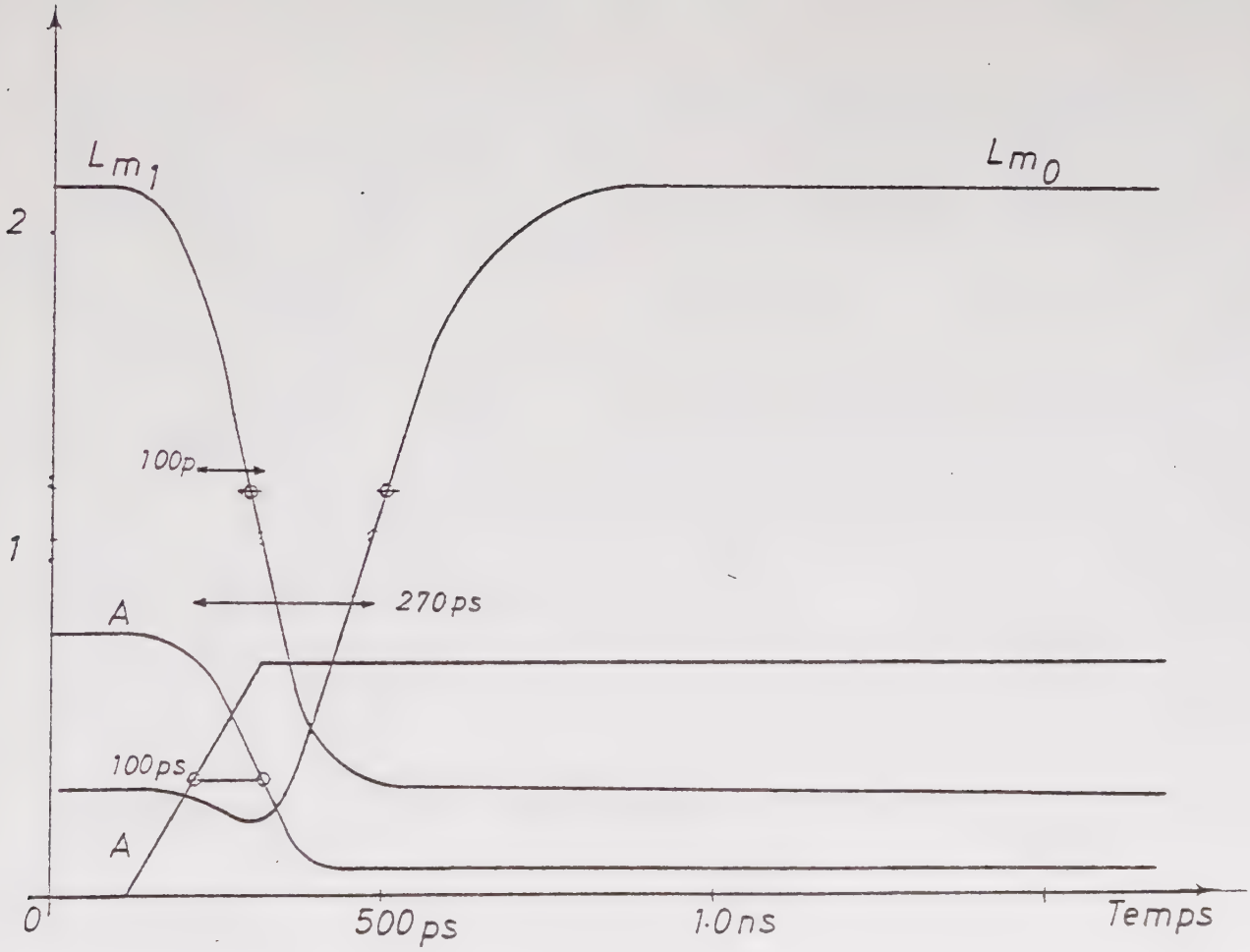
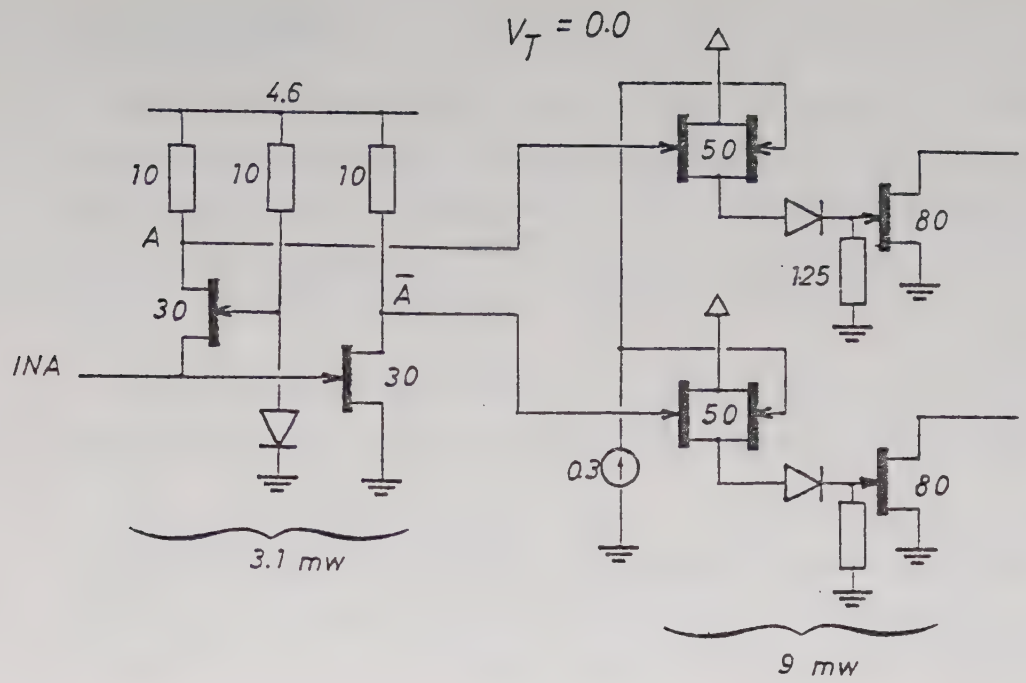

Lm1
Lm0
2
100p
1
A
270ps
100ps
A
0
500 ps
1·0 ns
Temps

Fig. 3-23


V_T = 0.0
4.6
10
10
10
A
30
$\bar{A}$
INA
30
50
80
125
50
0.3
80
3.1 mw
9 mw

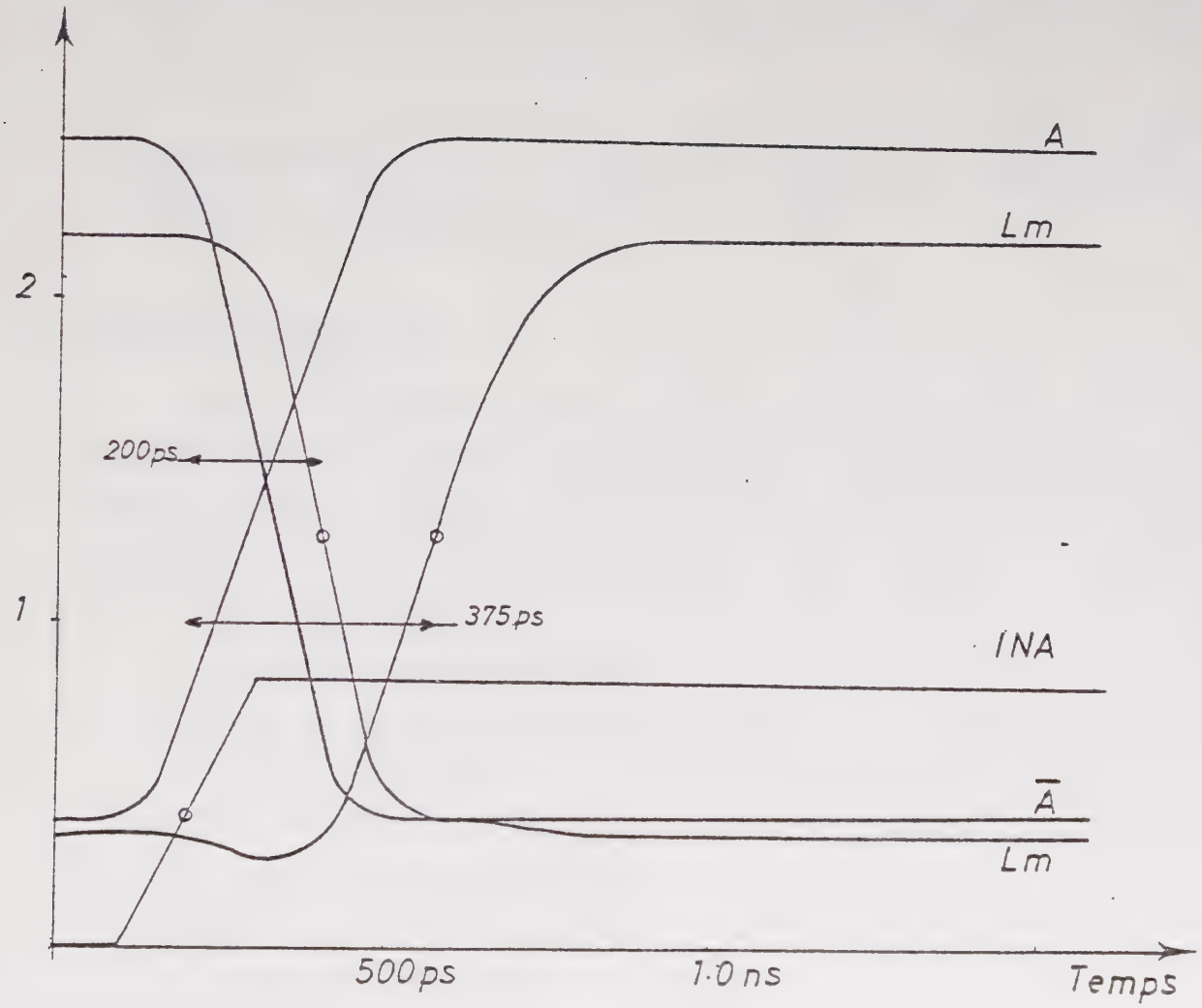

A
Lm
2
200ps
1
375ps
INA
$\bar{A}$
Lm
500ps
1.0 ns
Temps

Fig. 3-24

3.4. SYSTEME DE LECTURE

Nous allons maintenant étudier le moyen d'accéder à l'information contenue dans les cellules adressées. Remarquons tout de suite que cette lecture ne devra pas altérer l'état des bistables sélectionnés (lecture non-destructive - Non Destructive Read Out), ceci pour ne pas être obligé de régénérer l'information après l'opération de lecture.

Pour réaliser cette tâche le système de lecture devra être décomposé en trois parties distinctes que nous allons étudier successivement :

- La charge des lignes de bit, commune à toute une colonne, assure la juste polarisation de l'élément de couplage afin de ne pas perturber l'état de la cellule en agissant sur ses marges de bruit (extraction de courant par conduction de la grille du suiveur, dans l'exemple que nous développons).

- Un détecteur chargé de lire les tensions sur les lignes de bit (fonction de l'état de la cellule adressée) et de fournir en sortie un signal binaire correspondant à la donnée mémorisée.

- Un étage tampon qui assurera la compatibilité entre le signal de sortie du détecteur et les éléments extérieurs - par exemple une sortie basse impédance pour un circuit adapté (50 Ω).

3.4.1. Charge des lignes de bit

Connecté sur les deux lignes de bits et mis en commun pour toute une colonne, nous devons disposer d'un circuit de charge permettant un fonctionnement correct des éléments de couplage. C'est-à-dire, pour le type d'accès que nous avons retenu, une polarisation correcte des transistors en source suiveuse - la grille n'étant pas conductrice ($V_{GS} \simeq 0.5$ V).

L'étude de ces charges se fera sur deux plans :

a) Une étude petit signal qui permettra d'étudier la variation des niveaux sur les lignes de bit vis-à-vis d'une faible variation de la tension sur la grille du suiveur et ainsi de définir un gain de l'ensemble suiveur + charge

b) Une étude grand signal permettant, à l'aide de simulation sur ordinateur d'estimer les niveaux réels sur les lignes de bit (qui fixerons la topologie de l'étage détecteur) ainsi que la vitesse de réaction de la charge à une opération de lecture

...

Deux approches différentes peuvent être envisagées pour la conception de ces charges :

a) Un système passif à résistance ou à charge saturable, permettant une réponse rapide mais qui, comme nous allons le voir entraîne une dégradation de l'excursion logique sur les lignes de bit Δ_S vis-à-vis de celle présentée par la cellule sur les grilles des éléments de couplages Δ_E . Le principe de fonctionnement de ces charges est donné figure 3.25. Le point de fonctionnement de chaque ligne de bit est obtenu à l'intersection de la caractéristique courant-tension du dispositif de charge (transistor ou résistance) et de la parabole symbolisant le courant fourni par le suiveur, son potentiel de grille étant imposés par la cellule adressée : niveau haut ≃ 5 d, niveau bas ≃ 3 d + r. Pratiquement, compte-tenu de la variation des paramètres technologiques des transistors, ces courbes se situent à l'intérieur d'un gabarit représenté par un domaine hachuré sur la figure. Le montage à charge résistive souffre de deux inconvénients immédiats. Tout d'abord, comme il est montré dans l'annexe C ce type de circuit a un gain petit signal toujours inférieur à 1, d'où une difficulté à détecter les faibles variations de l'entrée. D'autre part, les tensions grille-source n'étant pas égales au niveau haut et au niveau bas, il en résulte une dégradation de l'excursion logique ainsi qu'il apparaît clairement sur la figure 3.25.

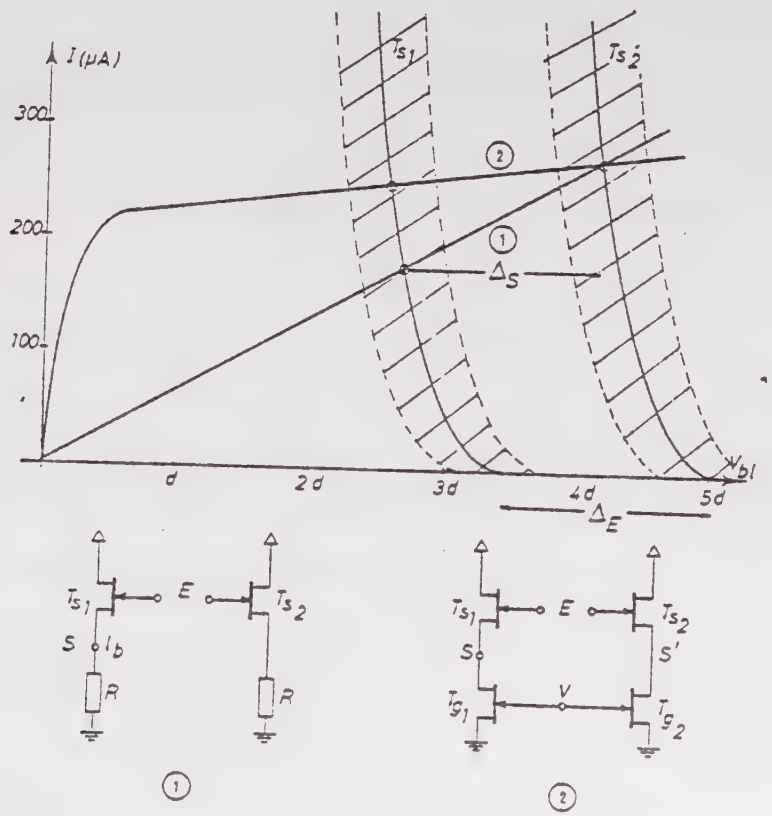


Fig. 3-25

Un troisième inconvénient apparait lorsque l'on étudie la tension de polarisation V_{GS} des suiveurs en fonction de la résistance R et de la tension de seuil (fig. 3.26)

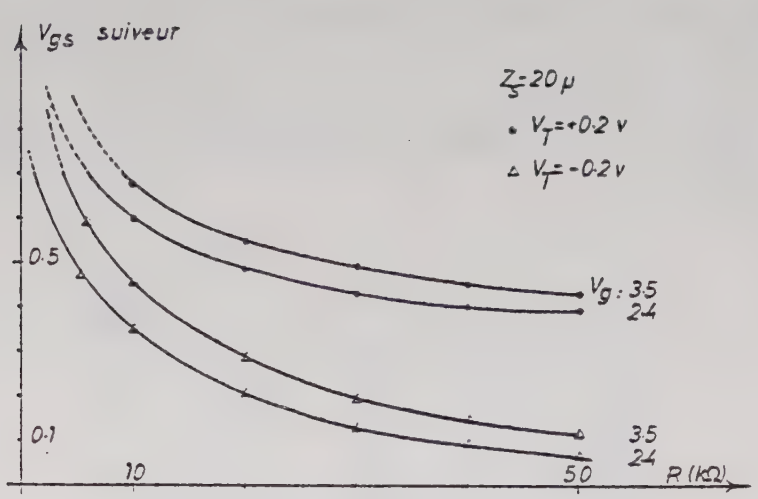


Fig. 3-26

On observe une très grande dépendance de cette tension de polarisation avec V_T. Par conséquent, les niveaux sur les lignes de bits fluctuerons avec les paramètres technologiques. Ceci, allié à la dégradation de l'excursion logique complique sérieusement la conception du circuit détecteur. Une solution a priori satisfaisante est d'utiliser, à la place de la résistance, une source de courant. Le niveau V_{GS} sera dans ce cas fixé par la valeur de ce courant et, si l'on a pris soin d'avoir le même dans chaque ligne, il n'y aura aucune dégradation de l'excursion logique. Pratiquement, cette source de courant sera réalisée par un transistor polarisé à une tension V constante (fig. 3.25). Dans ce cas, les niveaux sur les lignes de bits peuvent s'écrire dans le cadre de l'approximation quadratique et en négligent les conductances en saturation :

$$S = E - V\sqrt{Z_g/Z_s} - V_T \quad (1 - \sqrt{Z_g/Z_s})$$

Z_s étant la taille du FET de couplage et Z_g celle de la source de courant, dont la grille est à un potentiel V. Deux observations peuvent être faites :

- l'excursion logique est conservée entre les grilles des suiveurs et les sources
- Si $Z_s = Z_g$ le système est insensible aux variations de la tension de seuil V_T ce qui est très intéressant. Remarquons cependant que pour ne pas extraire de courant de la cellule adressée, la tension V qui fixera la polarisation des suiveurs devra être d'environ 0.5 V, niveau qui n'est pas simple à obtenir dans un circuit à MESFET. On utilisera donc, plus simplement, un niveau V à 0.7 V et un suiveur deux fois plus large que la source de courant.

...

Cette solution, non optimale, entraine une dépendance de la tension grille-source avec la tension de seuil. De plus, en tenant compte de la valeur non nulle de la conductance en saturation qui amène un terme supplémentaire à l'équation ci-dessus, cette tension de polarisation devient dépendante des niveaux d'entrée sur les grilles ainsi que le résume le tableau figure 3.27. La dégradation de l'excursion logique qui en résulte est d'environ 80 mV.

Z_g/Z_s \ V_t	-0.2	0.0	-0.2	V_g
0.5	0.44	0.50	0.56	3.5
	0.36	0.44	0.50	2.4
1.0	0.53	0.54	0.52	3.5
	0.45	0.46	0.48	2.4

Fig. 3-37

La figure 3.28 montre l'évolution en fonction du temps des tensions internes de la cellule lors de son adressage (trait pointillé) et des niveaux sur les lignes de bits (trait plein). Les conditions initiales de la simulation étaient telles qu'une cellule dans l'état inverse était adressée à l'origine. (Cela permet une inversion des niveaux sur les lignes de bit.)La diminution du niveau haut en entrée que l'on observe dans le cas des seuils négatifs est due au courant résiduel dans le transistor quasi-pincé de la cellule, qui fait décroître le potentiel sur son drain. L'excursion logique nominale en sortie qui est d'environ 1 V (2 d - r) peut dans ce cas chuter à la valeur de 840 mV, compliquant par conséquent le dispositif de lecture proprement dit.

Ces deux systèmes passifs se caractérisaient surtout par la dégradation de l'écart séparant les deux niveaux logiques. Remarquons que celui-ci (2 d - r nominal) est aisément détectable car il peut servir à commander une porte de type 3 inverse, identique à celles constituant les cellules mémoires. Cette remarque montre que nous devons éviter une détérioration de l'excursion logique à la traversée des éléments de couplage et, par conséquent rejeter la simplicité de ces charges passives.

...

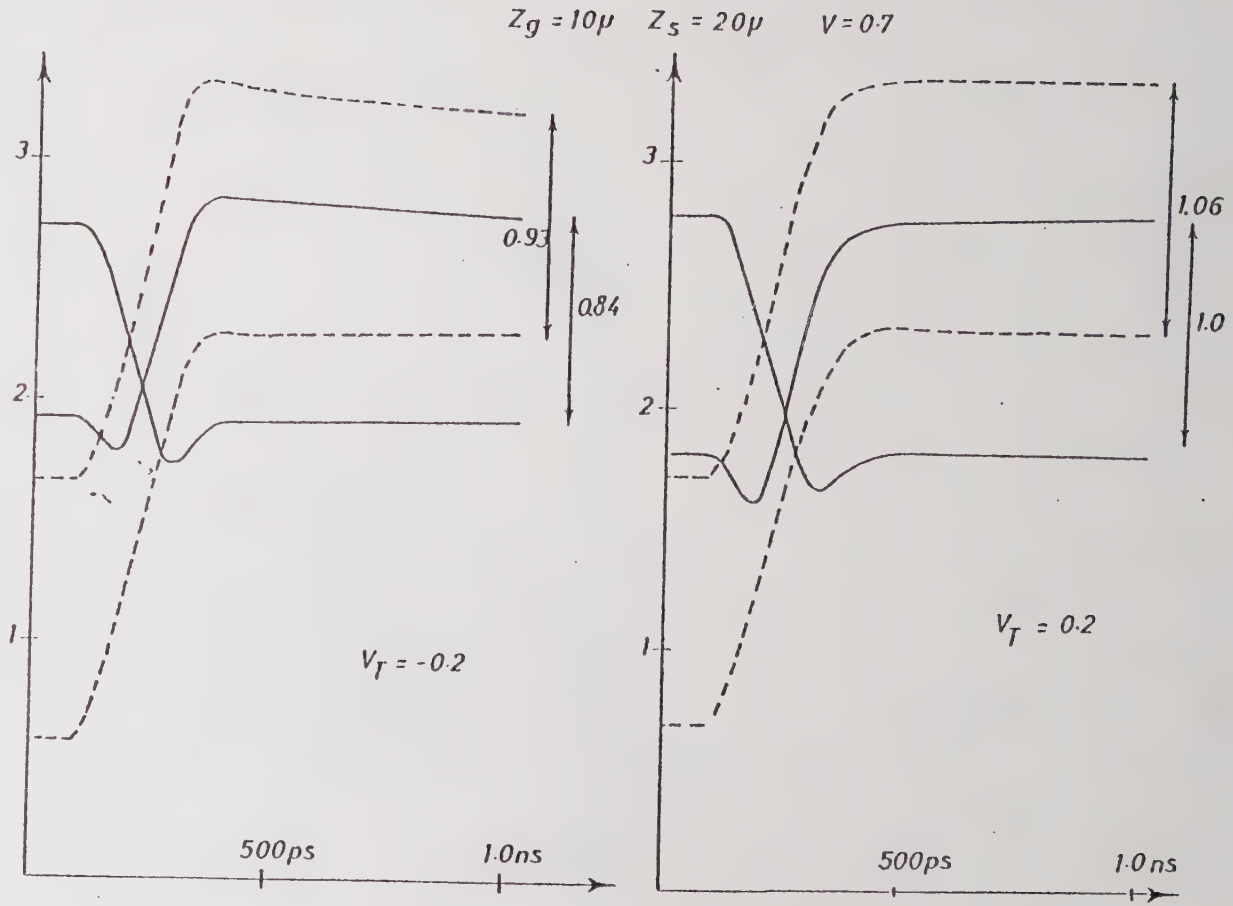

$Z_g = 10\mu$ $Z_s = 20\mu$ V = 0·7
3
2
1
0·93
0·84
V_T = -0·2
500ps
1·0ns
1·06
1·0
V_T = 0·2
500ps
1·0 ns

Fig. 3-28

b) Système à charge active [25], a priori plus lent car il faut laisser au système le temps de réagir, ce type de circuit permet de disposer sur les lignes de bit de signaux bien fixés et donc beaucoup plus facilement exploitables. Comme il est montré sur la figure 3.29, cette charge est constituée de deux transistors T_1 et T_2 formant une cellule réactive. Elle présente une topologie identique à celle des points mémoires, afin d'avoir la même excursion logique sur les lignes de bits que dans les cellules.

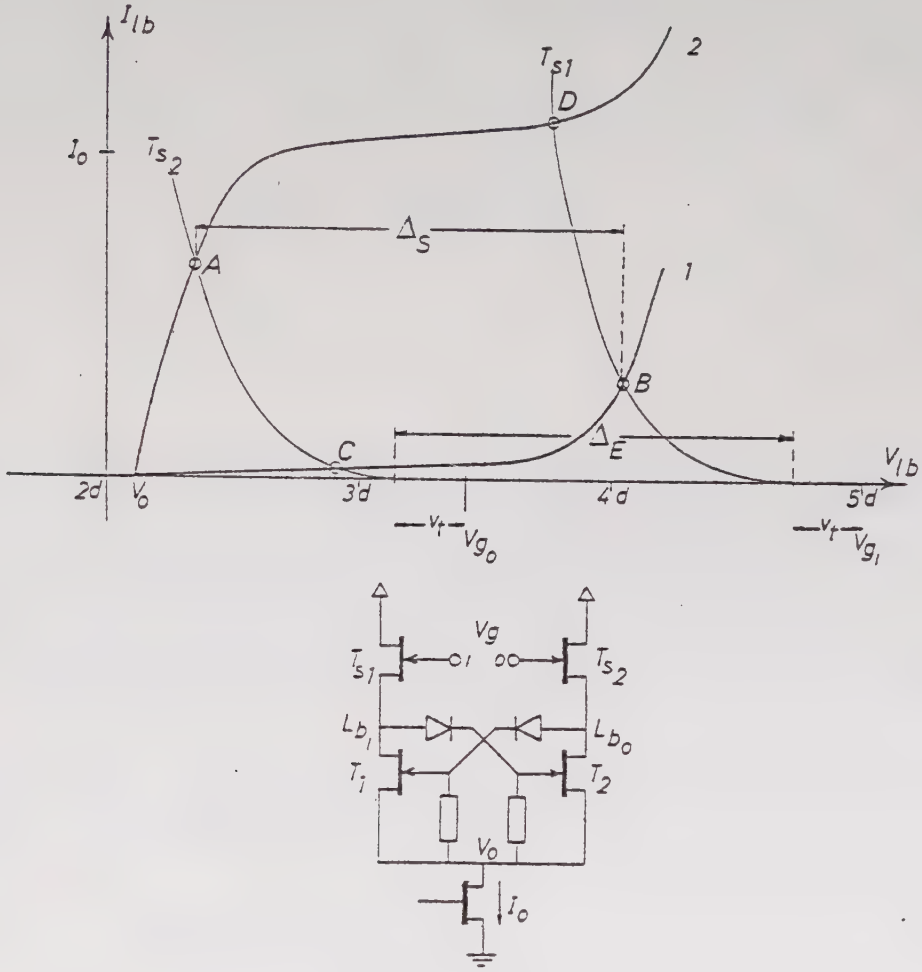


Fig. 3-29

Le courant total, débité à la fois par T_{S1} et T_{S2} est fixé par le générateur I_0. La caractéristique courant-tension de la charge n'est plus, comme dans le cas précédent, identique sur les deux lignes de bit. L'idée, pour éviter la dégradation de l'excursion logique, est de polariser le suiveur, du côté haut, à une tension grille-source au plus égale à celle côté bas. Si le montage est correctement étudié, un des deux transistors de charge est passant et l'autre quasi-pincé. Du fait de la conduction de la grille du transistor passant, un courant du même ordre de grandeur circule dans les deux lignes de bit soit environ la moitié du courant I_0. Avec cette hypothèse et en remarquant que I_0 est fourni par un transistor de largeur Z_o ($I_0 = \gamma \frac{Z_0}{L} V_P^2$), la tension V_{GS} des deux suiveurs peut être aisément déterminée par l'expression :

$$V_{GS} = V_T + V_P \sqrt{\frac{Z_0}{2 Z_S}}$$

si $V_{GS} = 0.5$ V $Z_0 = Z_S$

Remarquons que, si le courant de grille tend vers zéro, le courant dans la ligne de bit haute tend à s'annuler ainsi que la tension V_{GS} haute, et entraine, par conséquent, une augmentation de l'excursion logique. C'est le cas des transistors MOS [25] mais cela peut aussi être le cas si les FET T_1 et T_2 sont beaucoup plus gros que les suiveurs, le transistor passant étant alors polarisé à une tension de grille trop faible pour que sa grille conduise.

Une étude petit signal donne pour le gain, en négligeant les conductances en saturation, une expression du genre (Annexe C) :

$$\frac{dS}{dE} = \frac{g_{ms} \frac{Z_S}{Z} R_0}{1 + (g_{ms} \frac{Z_S}{Z} - g_m) R_0}$$

Il est donc des cas où ce gain peut devenir négatif, avec tous les inconvénients que cela comporte (hystérésis, indétermination). Il ne faudra donc pas faire croître la largeur des transistors de la charge sans prendre garde aux risques d'un accroissement du gain de transfert. La figure 3.30 représente la variation du gain de transfert en fonction de la taille des transistors de charges, en tenant compte de la valeur non nulle de la conductance en saturation (Annexe C).

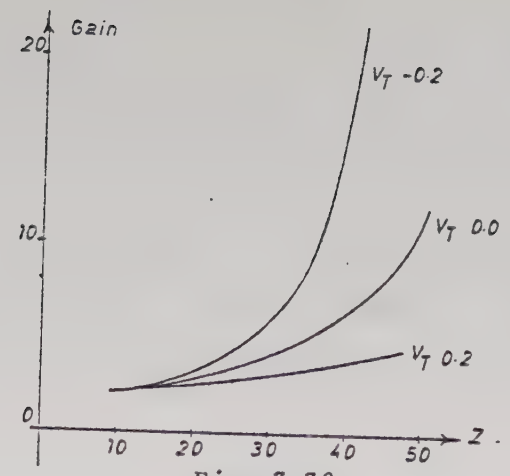


Fig. 3-30

La fonction de transfert : $\Delta_S = f(\Delta_e)$, a été tracée par simulation sur la figure 3.31 (tous les transistors font 20 µm, les résistance 10 K et la tension de seuil 0 V). Le gain positif que l'on observe (environ 2.5) montre que la sensibilité de ce dispositif actif est bien meilleure que les systèmes passifs présentés auparavant (ligne pointillée)

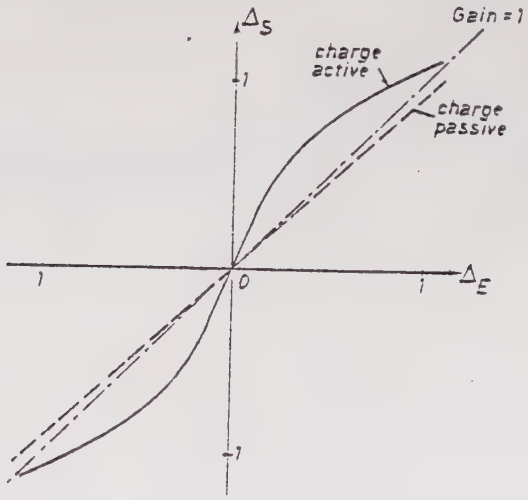


Fig. 3-31

L'étude transitoire de ces charges a été faite comme pour les charges passives par simulation sur ordinateur. La figure 3.32 montre l'allure du résultat pour les deux valeurs extrêmes des paramètres des transistors. On constate dans les deux cas, une conservation de l'excursion logique nominale. La diminution de l'amplitude logique, aux tensions de seuil négatives, n'est plus sur les lignes de bit que d'environ 70 mV (par rapport à 160 mV pour les charges passives).

...

L'idée d'accroître la taille des transistors de la charge pour augmenter à la fois la sensibilité et l'excursion logique en sortie se traduit par une dégradation conséquente du temps de commutation de la charge ainsi que le montrent clairement les courbes de la figure 3.33, qui présentent, en fonction de la taille des transistors de la charge ($Z_S = Z_0 = 20$ µm) :

a) la variation relative du temps de commutation mesurée au point de croisement des lignes de bit : t_c

b) l'accroissement de l'excursion logique: $\Delta_S - \Delta_e$

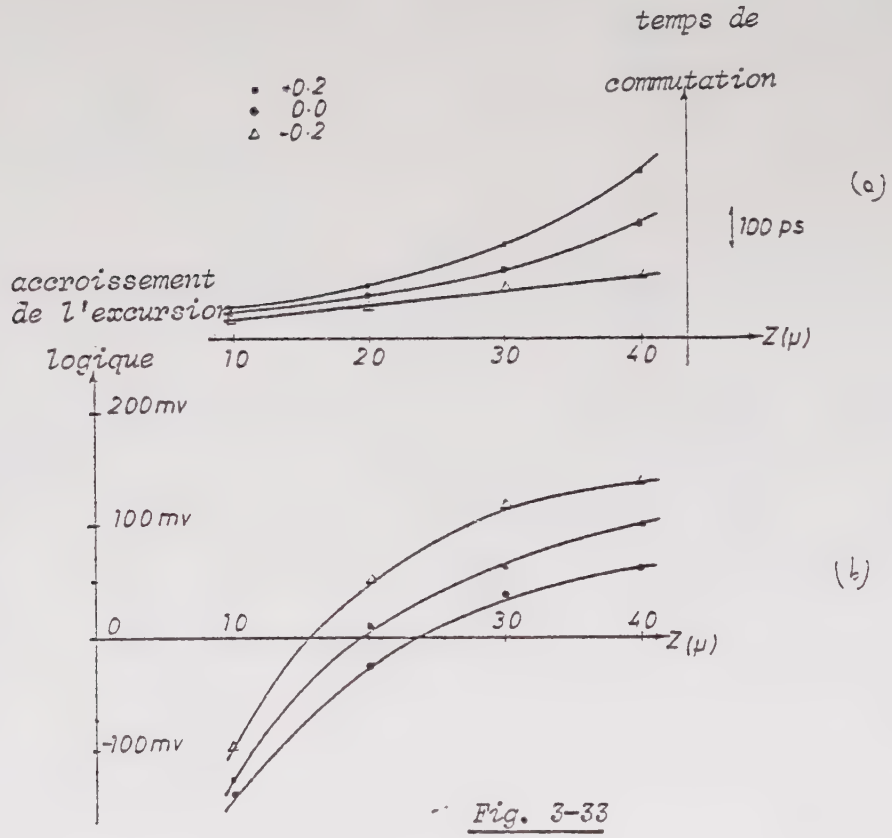


Fig. 3-33

$Z_S = Z = 20\ \mu$

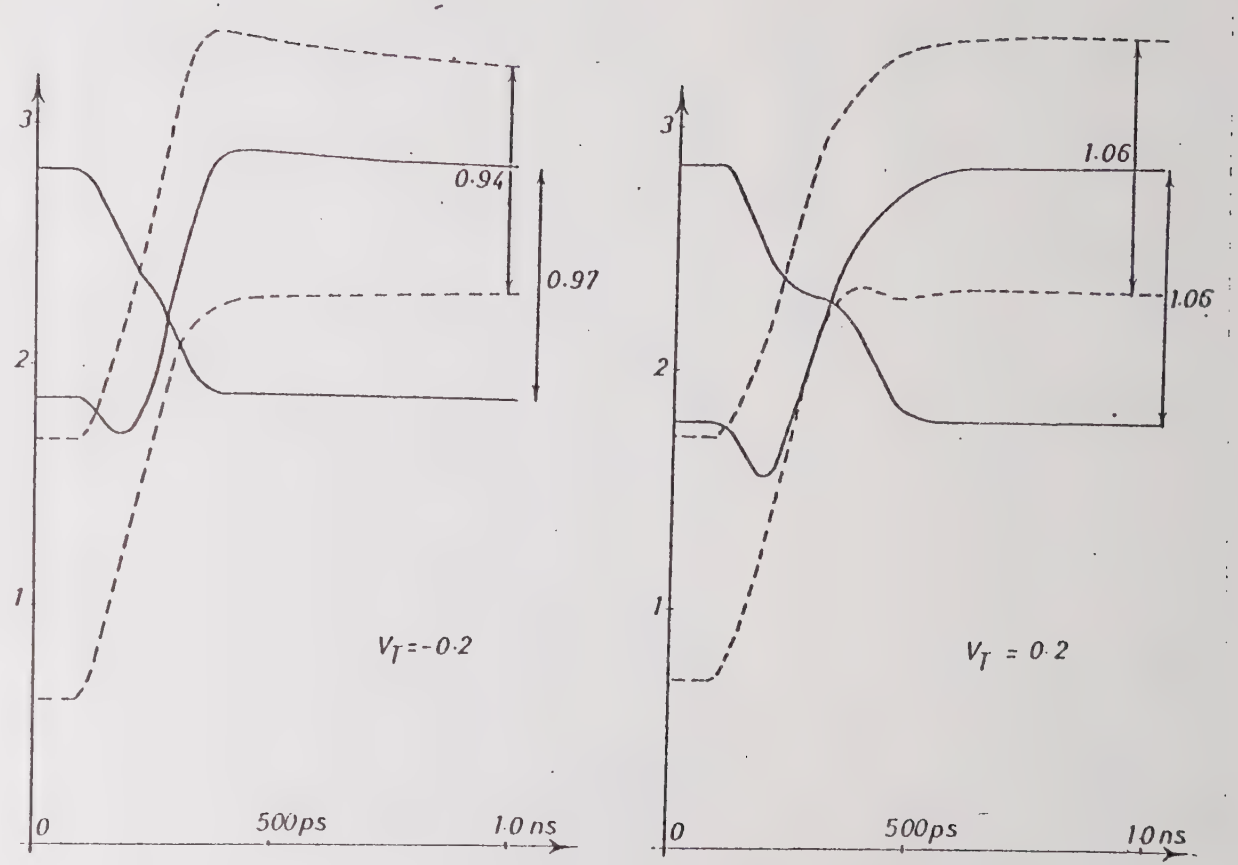


Fig. 3-32

En se rappelant que l'amplitude logique nominale (2 d - r) en sortie des cellule est suffisante pour être détectée simplement (voir § 3 de ce chapitre), une taille de 20 microns pour les transistors de charge semble être un bon comprimis ; on ne pert rien sur l'excursion logique, tout en conservant une vitesse de réaction correcte.

Maintenant que l'excursion logique sur les lignes de bit est bien fixée grâce à une charge judicieuse, il nous reste à lire les niveaux absolus sur les lignes de la colonne et à les convertir en un signal binaire représentant l'état de la cellule adressée. Ce sera la fonction du détecteur. Comme ce signal doit être transmis à des organes extérieurs qui, par leurs impédances d'entrées imposerons certaines contraintes topologiques à l'amplificateur de lecture, nous devons avant d'étudier le détecteur proprement dit, examiner l'étage de sortie du circuit.

3.4.2. Etage tampon de sortie

Celui-ci permet de générer en sortie de la puce, un signal externe selon les spécifications requises. Dans la maquette probatoire que nous étudions, nous pouvons nous satisfaire d'un signal de mesure d'amplitude relativement faible, délivrée sur une ligne adaptée basse impédance (50 Ω). Ceci afin que le circuit de mesure ne détériore pas exagérément les performances intrinsèques de la mémoire. En pratique, un signal d'amplitude compris entre 100 et 200 mV sur 50 Ω satisfait largement aux exigences de la mesure dynamique, sans représenter une charge trop lourde pour la puce elle-même. Pour obtenir ce courant, on peut utiliser un transistor en drain-commun fournissant son courant maximum dans la charge lorsque le niveau détecté correspond à un "1" et se pinçant lorsque l'état lu est un "0". Un signal de sortie de 100 mV sur 50 Ω correspondant à un courant de 2 mA, la taille du transistor ne saurait être inférieure à 80 µm (figure 3.34). Le circuit d'attaque de ce transistor devra fournir une tension variant au moins entre 0 V et 0.8 V pour assurer le fonctionnement optimal du circuit.

...

Notons que le courant important circulant dans le transistor fait que l'étage de sortie participe de manière importante à la consommation globale du circuit. Une alimentation indépendante, de l'ordre de 1 volt serait suffisante au bon fonctionnement et diminuerait notablement la puissance dissipée par la puce.

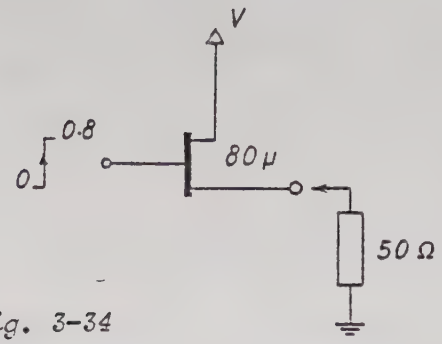


Fig. 3-34

3.4.3. Le système détecteur

Cet étage, outre son rôle de "lecture" des niveaux sur les lignes de bit, devra assurer un gain en courant permettant d'attaquer dans de bonnes conditions l'étage de sortie du circuit.

Les niveaux sur les lignes de bit étant, grâce à la charge active, bien fixés : 2.8 V pour le niveau haut, (soit 4 d), et 1.7 V pour le niveau bas (2 d + r) toute porte logique pouvant être commandée par une telle variation peut aisément assurer la discrimination des niveaux sur les lignes de la colonne. C'est le cas notamment des portes de type 3 inverses. Etant donné la symétrie des lignes de bit, il est d'autre part, tout-à-fait profitable d'utiliser les deux signaux disponibles dans un montage à double action de type "totem-pôle" afin d'assurer la bonne adaptation avec l'étage de sortie. Le schéma synoptique d'un tel montage est donné sur la figure 3.35, représentant à la fois le détecteur et l'étage tampon dans ce qu'il convient d'appeler "amplificateur de lecture".

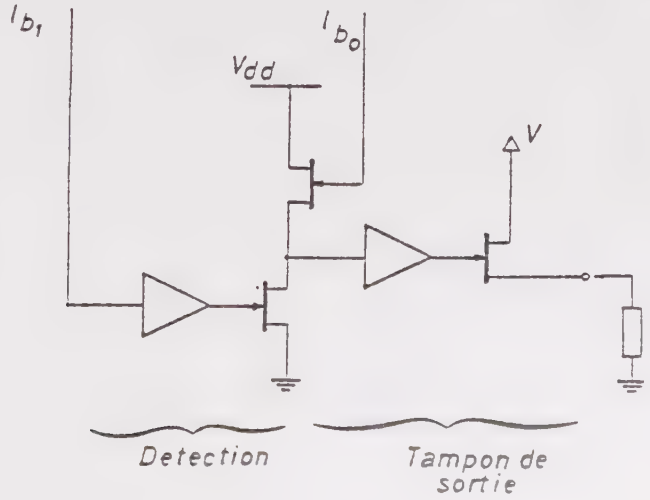


Fig. 3-35

Un exemple de réalisation concrête par simplification successive est donné sur la figure 3.36. Plusieurs observations peuvent être faites à ce sujet (fig. 3.36 a) :

- Afin de ne pas perturber les performances dynamiques du circuit de charge, l'information est prélevée sur une ligne de bit par un transistor suiveur présentant une capacité faible en entrée.
- L'ensemble T_1,D_1, polarisé par T_3 assure un décalage afin de ramener le signal autour de la masse.
- L'excursion logique au point S_0 est augmentée du fait de T_4 qui est pincé quand BL_1 est basse. Le courant circulant dans la source de T_2 est faible entrainant une diminution de sa tension grille-source et par conséquent une élévation du niveau haut en S_0, qui devient égal à la tension sur la ligne de bit BL_0 (4d). Le niveau bas en S_0 reste fixé aux alentours de d + r car les courants circulant dans T_2 et T_4 sont maximum dans ce cas.

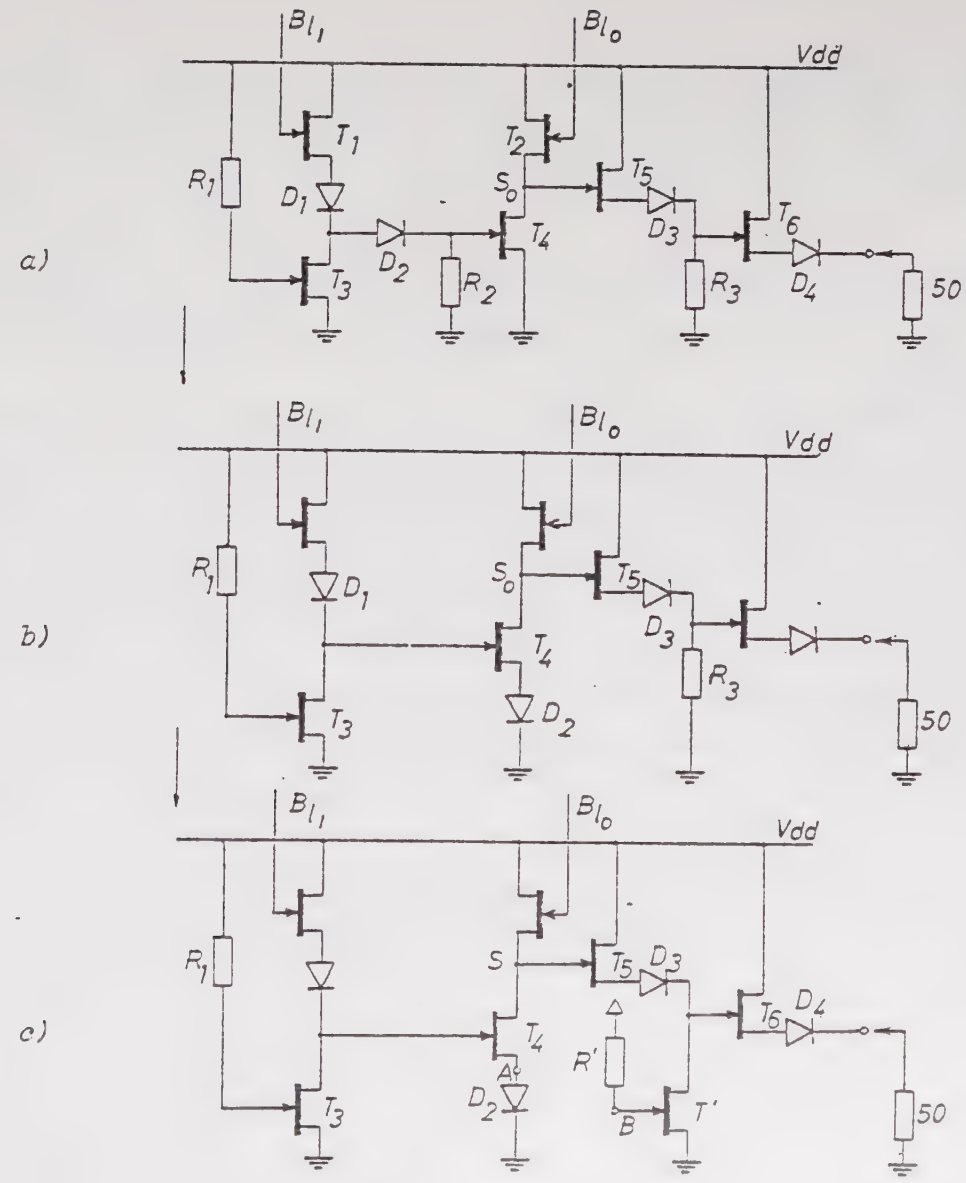


Fig. 3-36

- La discrimination des états de S_0 pourra se faire à l'aide d'une porte similaire au type 1 inverse, constituant l'étage tampon de sortie.
- Les niveaux de cet étage, étant décalés de 0.7 V par rapport à la masse, l'adjonction, dans la source du transistor de sortie d'une diode permet de rétablir une juste polarisation de celui-ci.

Les figures suivantes 3.36 b et c illustrent les types de transformations que l'on peut faire subir à un circuit pour l'adapter à une meilleure intégration notamment en supprimant le plus possible les résistances pour les remplacer par des transistors en charges saturables, partout où la transformation est possible :

i) Le déplacement de la diode D_2 permet l'élimination de la résistance R_2 devenue inutile

ii) La résistance R_3 peut être avantageusement remplacée par un transistor T' polarisé par une résistance R'. Ceci permet une meilleure polarisation du transistor T_5

iii) La connexion des points A et B (fig. 3.37c) permet de supprimer la diode D_2, constituée maintenant par la grille du transistor T'. D'autre part, la résistance R' est devenue inutile, la polarisation de T' étant assurée par le courant résiduel de T_4.

iv) La connexion de la grille de T_3 au point de potentiel fixe ci-dessus, permet l'élimination de la résistance R_1.

Finalement, après transformations, le schéma global de l'amplificateur de lecture est donné sur la figure 3.37. On remarque que la diode D_3 a été supprimée à la suite de simulations qui ont montré une légère amélioration de l'amplitude du signal de sortie due à une meilleure utilisation du transistor T_5. Composé uniquement de 7 transistors et de 2 diodes, l'intégration de ce montage est particulièrement aisée. Les courbes présentées sur la figure 3.37 montrent l'évolution des potentiels aux principaux noeuds de l'amplificateur de lecture. On voit que l'excursion logique au point S_0 est supérieure d'environ 280 mV à celle des lignes de bit.

Il est intéressant de regarder quelles modifications il faut apporter à ce circuit pour réaliser le démultiplexage rendu nécessaire par le décodage X (chapitre 2).

...

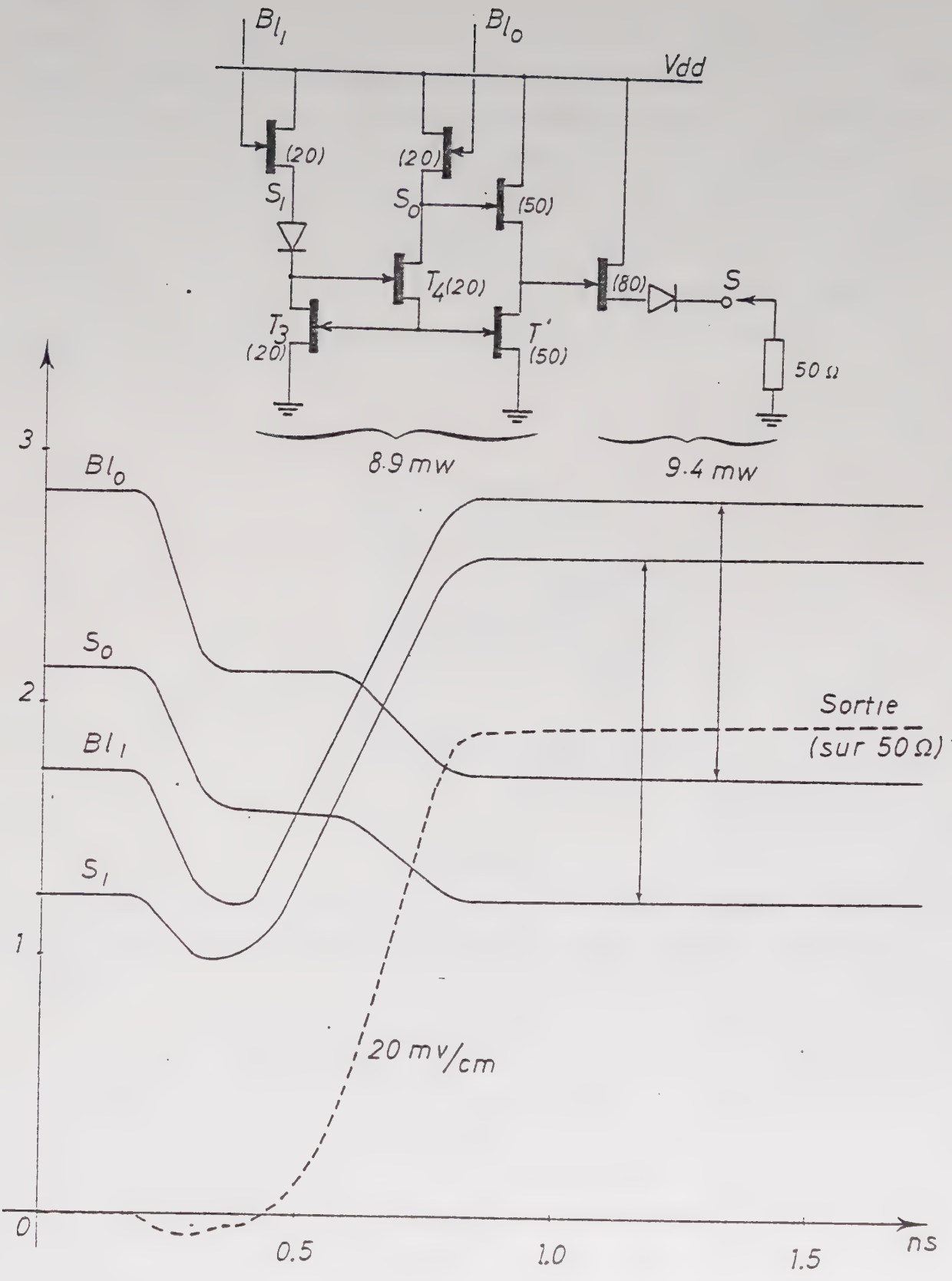

Bl1
Bl0
Vdd
(20)
(20)
S1
S0
(50)
T4(20)
(80)
S
T3
(20)
T'
(50)
50 Ω
8.9 mw
9.4 mw
3
Bl0
S0
2
Bl1
S1
1
Sortie
(sur 50 Ω)
20 mv/cm
0
0.5
1.0
1.5
ns

Fig. 3-37

Rappelons qu'il s'agit de rendre le tampon de sortie commun à un groupe de colonnes (fig. 2.13). On pourra, par exemple, réaliser un OU cablé sur la grille du transistor de sortie. Toutes les entrées de cette porte étant connectées à la sortie d'un détecteur. Pour réaliser la fonction désirée, il faudra donc modifier l'élément détecteur de façon à ce qu'il délivre un niveau bas quelque soit l'entrée si la colonne n'est pas validée. Si la colonne est sélectionnée, le montage doit avoir un comportement identique à celui que nous venons d'étudier. Un dispositif réalisant cette fonction est donné sur la figure 3.38. L'ensemble R, T a pour rôle d'assurer sur la grille basse du transistor bigrille une valeur du potentiel adéquate de façon à bien transmettre l'information lorsque la colonne est validée. Cette modification amène une consommation supplémentaire d'environ 0.8 mW ainsi qu'une augmentation du temps de traversée de l'amplificateur d'environ 70 ps.

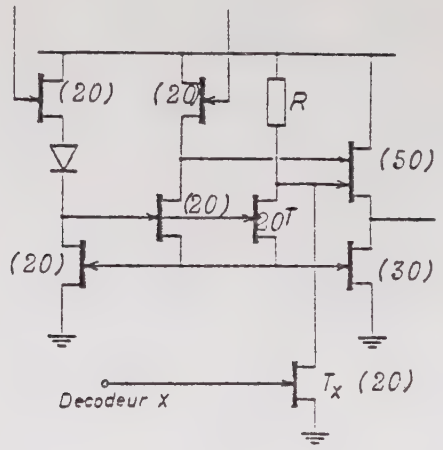


Fig. 3-38

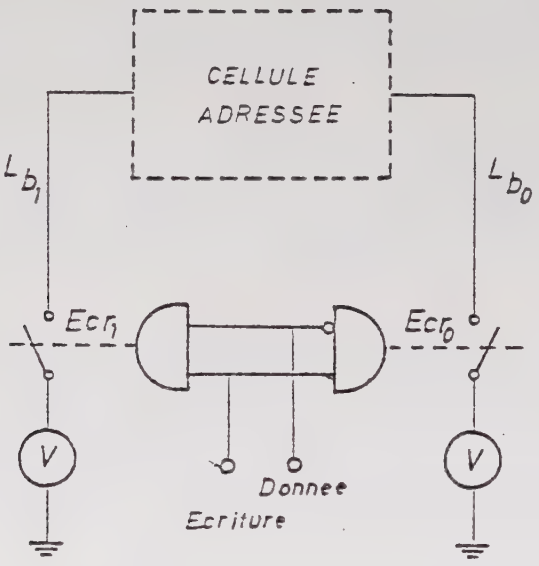
Lorsque la colonne n'est pas validée (transistor T_x passant), le niveau bas sur la grille basse du transistor bigrille impose un niveau bas en sortie.

Dans cet état, la consommation de l'amplificateur de lecture avoisine les 6 milliwatts.

...

3.5. LE SYSTEME D'ECRITURE

Le système d'écriture a pour rôle d'imposer un état déterminé aux cellules du mot adressé, tout en préservant l'information contenue dans les autres cellules. Cette immunité est obtenue, comme dans le cas de la lecture, en jouant sur les différences de niveaux des lignes de mots entre l'état adressé V_a et l'état non adressé V_{na}. L'étude fonctionnelle de ce système a été présentée au chapitre 2. Rappelons simplement qu'il doit être déconnecté du reste du circuit lors de toute opération de lecture, mais qu'il doit aussi permettre d'imposer aux cellules adressées un état permettant éventuellement un basculement du bistable le schéma synoptique, ainsi que la table de vérité de ce circuit est donné sur la figure 3.39.



Ecriture	Donnee	Ecr_1	Ecr_0	L_{b_1}	L_{b_0}
1	0	0	1	$\overline{L_{b_0}}$	V
1	1	1	0	V	$\overline{L_{b_1}}$
0	0	0	0	Φ	Φ
0	1	0	0	Φ	Φ

Fig. 3-39

On peut le séparer en deux sous-ensembles :

- le dispositif d'attaque des lignes de bit qui fixera le niveau d'écriture sur l'une des lignes de bit
- l'organe de commande qui, attaqué par la donnée à écrire et l'entrée d'écriture pilotera l'étage précédent.

3.5.1. L'attaque des lignes de bit

La réalisation de cet ensemble peut se faire en considérant les deux remarques suivantes :

- Pour les cellules symétriques, l'écriture d'une donnée s'effectuera en forçant le niveau d'un côté du bistable qui réagira et se stabilisera à l'état désiré. L'écriture de l'état complémentaire s'obtiendra en fixant le niveau de l'autre côté.
- Cette action ne pourra se faire que par l'intermédiaire des lignes de bits qui devront assurer une bonne polarisation de l'élément de couplage de façon à extraire ou injecteur du courant afin de dépasser le seuil d'immunité des cellules (voir § 3.1).

Suivant le type de couplage, l'écriture peut se faire en forçant un niveau haut (injection) ou bas (extraction) ainsi que le montrent les figures 3.40. Dans le premier cas il s'agit d'élever le potentiel des lignes de bit à un niveau permettant la transition $V_0 \rightarrow V_1$. La valeur de ce potentiel peut être fixé par :

$$V = V_a + V_1 + d$$

avec : V_a niveau d'adressage (bas)
V_0 niveau bas de la cellule
V_1 niveau haut de la cellule

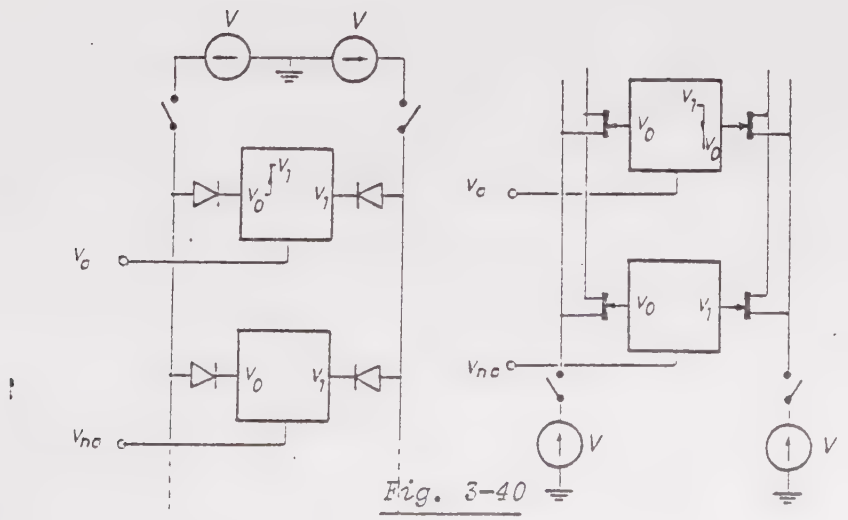


Fig. 3-40

Pour un couplage de type extraction, il s'agit d'entrainer la transition $V_1 \rightarrow V_0$ en fixant le potentiel sur la ligne de bit adéquate à une valeur :

$$V = V_a + V_0 - d \qquad V_a = \text{niveau d'adressage haut.}$$

Il est remarquable de constater que dans les deux cas de figure, les niveaux actifs sur les lignes de bit sont sensiblement les mêmes que ceux obtenus en lecture, à la différence près qu'ils sont imposéspar le système d'écriture et non plus par la cellule adressée. Ceci permet de disposer d'une sortie de lecture signficative ,même au cours d'un cycle d'écriture.

Un exemple de réalisation de ce circuit est donné sur la figure 3.41. Il s'agit de réaliser l'élément d'attaque des lignes de bit, dans le cas de cellules de type 3 I, couplées par transistors suiveurs. Dans ce cas particulier, que nous avons amplement développé auparavant, le niveau actif d'adressage sera $V_a = 3\ d$. Il faudra donc, pour préserver l'immunité des cellules non adressées, insérer 2 diodes dans les sources des FET d'écriture. La taille de ces transistors sera déterminée afin qu'ils puissent aisément absorber le courant fourni par les transistors suiveurs des cellules.

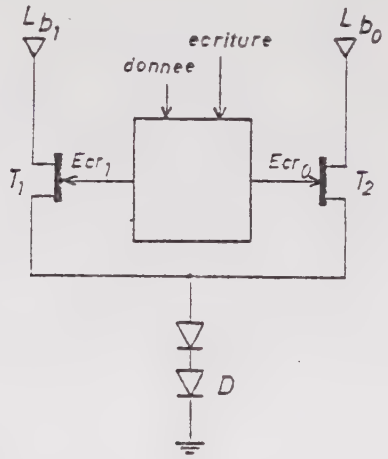


Fig. 3-41

En utilisant l'expression approchée du courant drain du transistor d'écriture (équation 2' - chap I) on obtient facilement la relation liant la taille de ce transistor à sa tension résiduelle V_{DS}, en fonction du courant admissible dans son drain :

...

$$\frac{Z_E}{Z_S} = \frac{1 + (I_G/I_{max})_{\text{suiveur}}}{2\,\frac{V_{DS}}{V_P} - (\frac{V_{DS}}{V_P})^2}$$

Z_E : taille du transistor d'écriture
Z_S : taille du suiveur de la cellule
I_G : courant de grille des transistors suiveurs
I_{max} : courant circulant dans le drain des suiveurs

En tenant compte des valeurs typiques des paramètres, on montre ainsi que le rapport entre le transistor d'écriture et le suiveur avoisine 2.5

Le choix définitif de la largeur de ce transistor se fera par des considérations dynamiques sur les performances de la mémoire. Un gros FET accélère le processus d'écriture en déchargeant rapidement les lignes de bit mais, en augmentant la charge capacitive des lignes de bit, détériore les performances en lecture.

3.5.2. L'étage de commande

La fonction de ce dispositif est double :

i) Décoder la donnée à écrire et prépositionner le FET d'écriture adéquat, nous admettrons par exemple la convention :

- écriture d'un "0" niveau actif sur L_{B0}
- écriture d'un "1" niveau actif sur L_{B1}

C'est le rôle de ce que nous appellerons tampon d'écriture

ii) Assurer l'inhibition et la validation du système d'attaque des lignes de bit (ie. transistor d'écriture), conformément à l'ordre d'écriture fourni par l'extérieur. C'est le rôle du circuit de validation. Notons que pour ne pas pénaliser le cycle d'écriture, ce circuit doit répondre rapidement. Il se situe, en effet, sur le chemin critique, ce qui n'est pas le cas du tampon d'écriture dont le temps de traversée peut être totalement masqué. Il suffit pour cela d'envoyer la donnée suffisamment tôt avant l'ordre d'écriture, par exemple simultanément à l'adresse.

...

Globalement, l'étage de commande se compose essentiellement d'un dispositif, commandé par la donnée à écrire et fournissant deux sorties complémentaires dont les niveaux sont susceptibles d'attaquer les grilles des deux transistors d'écriture. Parallèlement à celui-ci, le circuit de validation impose aux deux transistors d'être pincés tant que l'ordre d'écriture n'a pas été envoyé. Deux dispositifs répondant aux conditions ci-dessus sont donnés sur les figure 3.42 et 3.43.

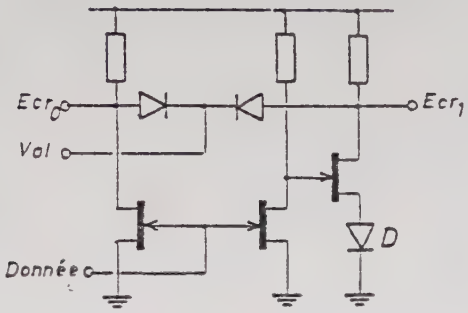


Fig. 3-42

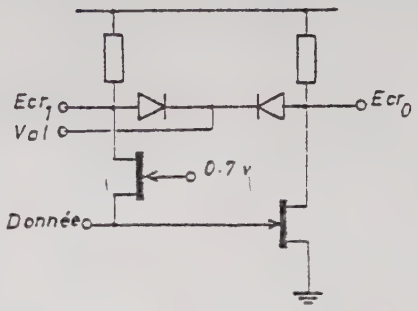


Fig. 3-43

Si l'entrée V_{al} est à 0.3 V, les deux sorties Ecr_0 et E_{cr1} sont à 1 V, potentiel suffisant pour pincer les transistors d'écriture de la figure 3.41 Si l'entrée V_{al} est haute, aucun courant ne circule dans les diodes qui ne jouent plus aucun rôle. Les deux sorties sont à des potentiels complémentaires dépendant de la donnée à écrire.

Le montage de la figure 3.43 permet d'économiser un transistor et une résistance et présente l'avantage de diminuer l'impédance d'entrée du système. La tension de 0.7 V nécessaire à la polarisation du transistor non inverseur peut être prélevée en un point du circuit où ce niveau existe déjà, par exemple sur la grille des transistors générateur de courant constituant les charges des lignes de bit.

Pour piloter l'entrée de validation, on peut utiliser un transistor attaqué par l'ordre d'écriture. Cette solution permet de résoudre d'une manière très simple le problème du démultiplexage dans la cas d'une matrice à deux dimensions (fig. 2.13). Rappelons qu'il s'agit d'inhiber tous les organes d'écriture qui n'ont pas été sélectionnés par le décodeur X.

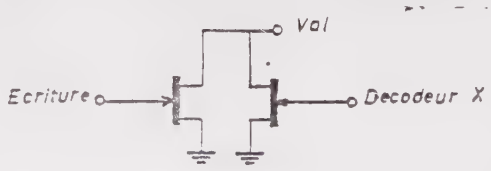


Fig. 3-44

Avec le circuit de la figure 3.44, le point V_{al} sera actif, uniquement si l'entrée d'écriture ET la sortie du décodeur X sont à un niveau bas. Cette structure impose au décodeur X d'être de type OU.

La figure 3.45 montre l'allure des potentiels aux différents noeuds internes d'un système d'écriture constitué à partir du système d'attaque de la figure 3.41 et de l'organe de commande de la figure 3.42. Une simplification a été apportée en mettant en commun la diode de décalage D.

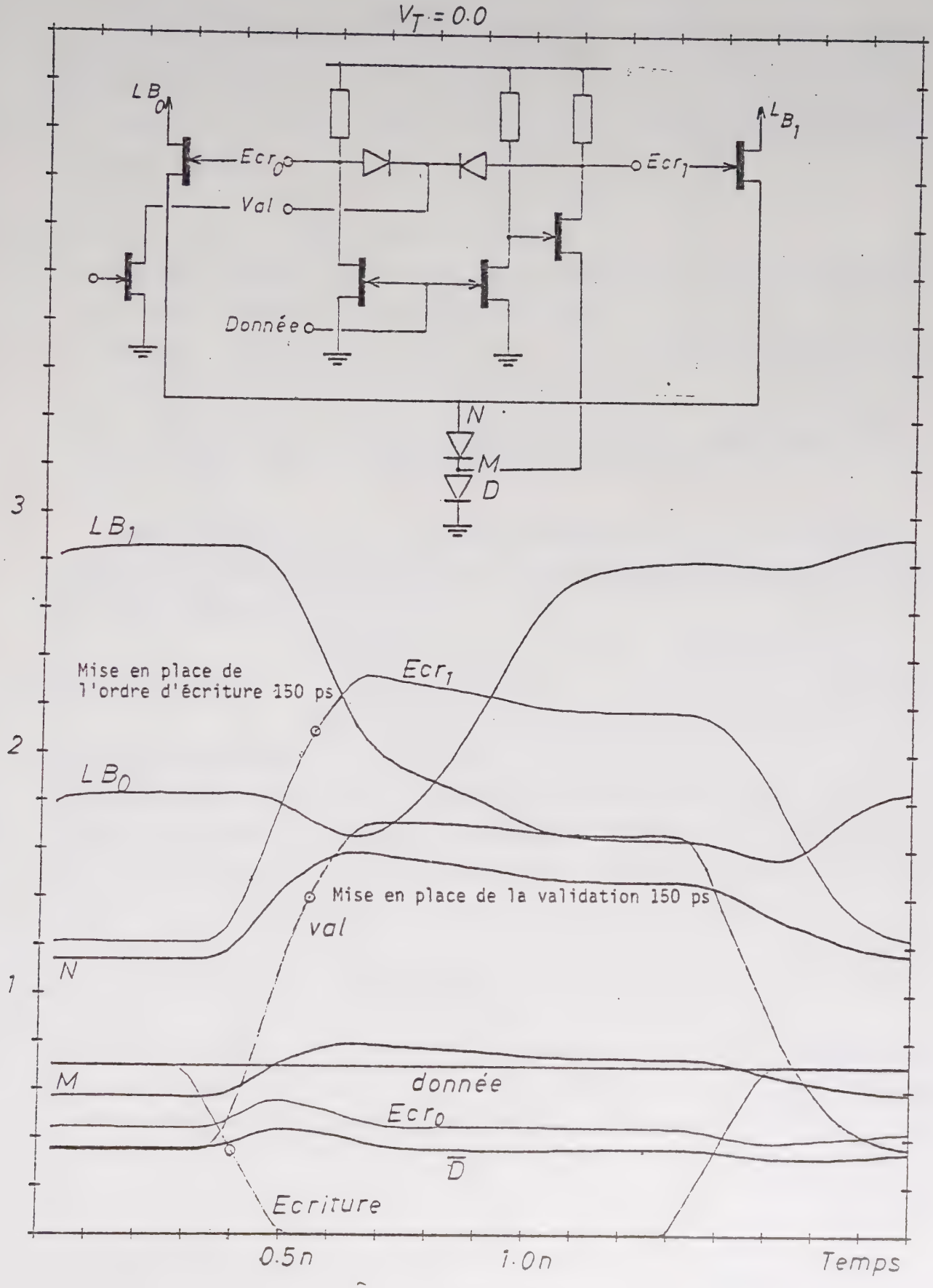


Fig. 3-45

4 - ETUDE D'UN MOTIF DE TEST (4 x 2 Bits)

L'étude séparée des différents constituants d'un circuit mémoire, nous a permis de concevoir un premier circuit test [28], de capacité relativement modeste, mais présentant une topologie analogue aux circuits plus complexes (l'annexe 4 donne quelques idées sur le processus technologique de réalisation d'un tel circuit).

Ce circuit se compose essentiellement de :

- 8 bistables agencés en 4 mots de 2 bits (cellules de type 3 I) et couplés aux lignes de bit par des transistors suiveurs.
- 1 décodeur Y composé de 2 inverseurs de type 2 D et de 4 portes NOR réalisées à l'aide des transistors d'adressage (fig. 3.23).
- Pour chaque colonne : 1 charge réactive (fig. 3.29), 1 amplificateur de lecture (fig. 3.37) et 1 système d'écriture (fig. 3.45).

Avant de présenter les résultats expérimentaux que nous avons obtenu avec un tel circuit, il peut être intéressant de présenter quelques simulations du circuit complet.

4.1. SIMULATION GLOBALE

a) Principe généraux

Les résultats que nous allons présenter maintenant recouvrent bien évidemment la somme des résultats obtenus précédemment pour chaque sous-circuit, mais ils permettent en outre l'étude de leurs influences réciproques : effet de l'allure des fronts des signaux, capacités de couplage parasites etc ...

Si nous examinons l'aspect pratique du problème, il apparait certaines contraintes liées à la complexité du circuit :

- Malgré les bonnes performances des programmes de simulation de réseaux actuels l'étude d'un circuit aussi complexe (170 composants) s'avère être une opération relativement lourde (place mémoire, temps calcul ...).

...

- Le risque d'erreur de programmation croît très vite avec la complexité du circuit. Il faut donc effectuer de nombreux passages en machines avant de disposer d'un fichier de données fiables.

- Le temps d'exploitation des résultats devient très rapidement prohibitif surtout durant la phase de mise au point où une analyse détaillée est absolument nécessaire.

Nous avons donc tout intérêt à simplifier au maximum le circuit réellement simulé sans nuire toutefois à la représentation des phénomènes étudiés. Dans ce but, nous avons largement utilisé les deux méthodes suivantes :

- Utilisation des particularités topologiques - Branches séries,branches parallèles

Cette méthode généralise la notion de réduction des impédances connectées en série ou en parallèle, en l'appliquant à tous les composants d'un sous-réseau. Par exemple, les N cellules connectées à une même ligne de mot peuvent être représentées en une seule cellule dont les transistors sont N fois plus larges et les résistances N fois plus faibles, sans altérer les courants circulant dans le dispositif.

- Suppression des parties latentes

Autour du "chemin critique" le long duquel on étudie la propagation de l'information, il reste dans le circuit un ensemble de parties "mortes" dont la seule influence sur le signal utile est l'impédance qu'elles présentent. Nous pouvons donc réduire ces portions à des versions simplifiées,chargées seulement de représenter les impédances correctes.

L'application de ces deux règles nous permet de réduire à environ 80 composants la complexité du circuit étudié, sans rien perdre à la généralité des simulations obtenues.

...

b) Résultats obtenus

Ce circuit simplifié a été simulé à l'aide du programme CIRCEC. L'analyse des résultats peut se faire à partir de la figure 4.1 qui représente l'évolution temporelle des potentiels aux noeuds les plus significatifs.

Le choix des niveaux critiques pour le calcul des temps permet d'imputer, au moins approximativement, la part des différents organes dans le bilan global. Il a été effectué comme suit :

- Pour les signaux d'attaque et de décodage, nous nous sommes placés au milieu de l'excursion logique soit 0.4 V.
- Pour caractériser l'adressage ou le désadressage d'un mot, nous nous sommes aussi placé au milieu de l'excursion logique soit environ 1.2 V.
- La mise en place des lignes de bit a été considérée comme effective :
  . au point de croisement lors d'un cycle de lecture.
  . lorsque la ligne de bit active atteint le niveau d'adressage pour un cycle d'écriture.
- Pour caractériser l'arrivée de la donnée en sortie, nous avons également pris le niveau moyen du signal de sortie.

Les temps de traversée moyens des différents organes peuvent donc se résumer ainsi :

. décodage	120 ps
. adressage	220 ps
. mise en place des lignes de bit	200 ps
. sortie	80 ps

Le temps d'accès moyen se situe par conséquent aux alentours de 550 ps.

Pour les cycles d'écritures une impulsion de 600 ps à mi-hauteur arrivant à 200 ps après l'adresse a été suffisante pour assurer un basculement correct.

...

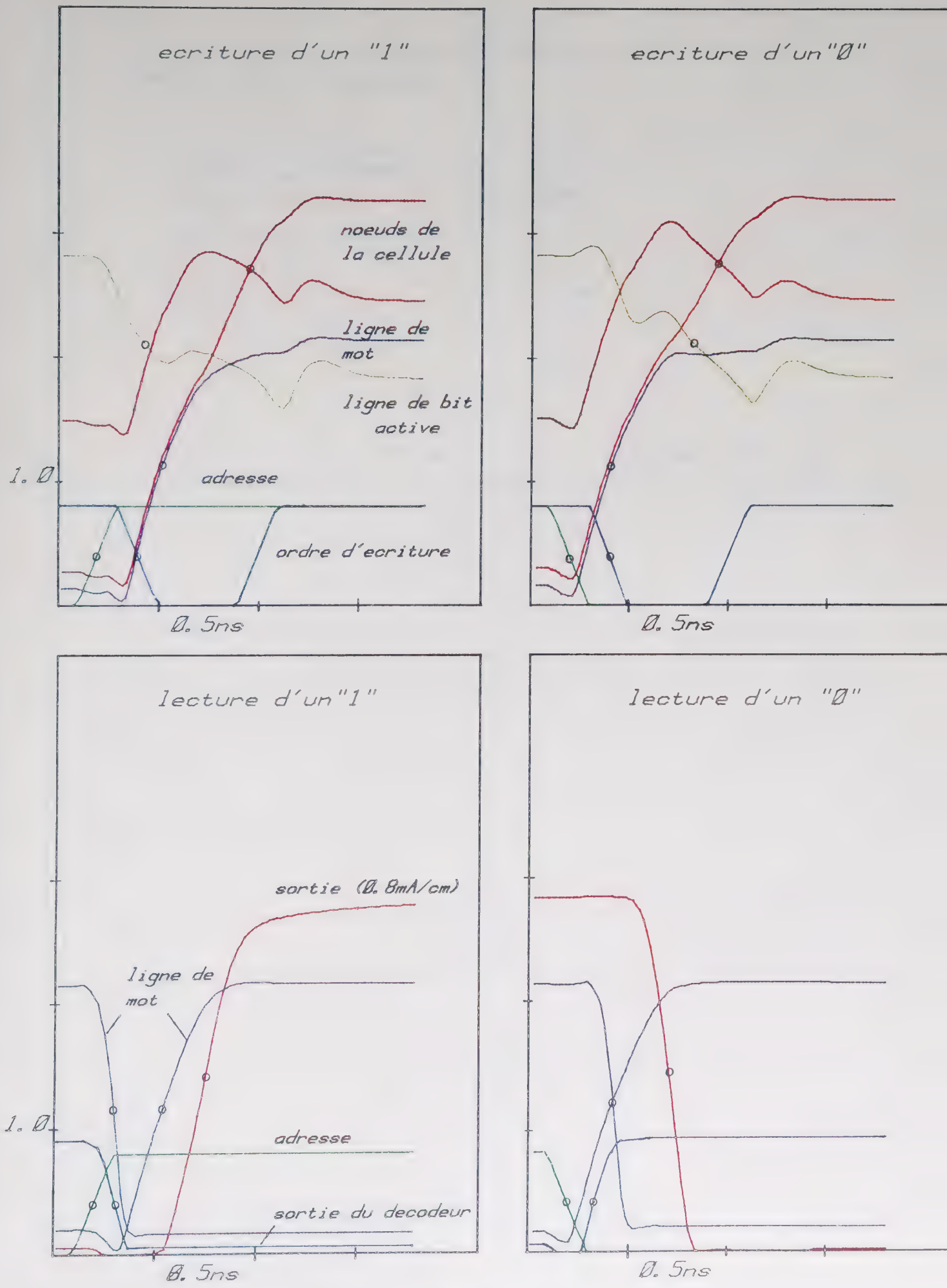

ecriture d'un "1"
noeuds de la cellule
ligne de mot
ligne de bit active
1.Ø
adresse
ordre d'ecriture
Ø.5ns
ecriture d'un"Ø"
Ø.5ns
lecture d'un"1"
sortie (Ø.8mA/cm)
ligne de mot
1.Ø
adresse
sortie du decodeur
Ø.5ns
lecture d'un "Ø"
Ø.5ns

Fig. 4-1

Le bilan global de la consommation se présente comme suit, avec la tension d'alimentation nominale 4.6 V.

. Cellules adressées	1.0 mW	x 2
. Cellules non adressées	1.9 mW	x 6
. Charges réactives	3.5 mW	x 2
. Amplificateur de lecture	8.9 mW	x 2
. Tampon de sortie	9.4 mW	x 2
. Système d'écriture	5.7 mW	x 2
. Décodage : inverseurs	9.1 mW	x 2
Portes	néant	
Total P_0 =	87 mW	

Remarquons que cette consommation peut être notablement réduite en diminuant la largeur minimale des transistors qui était dans notre cas de 20 µm

$$P = P_0 \cdot \frac{Z_{min}}{20\mu m}$$

L'alimentation élevée 4.6 V n'est nécessaire que pour l'alimentation de la matrice. Les organes périphériques ne réclament qu'une alimentation plus faible, typiquement 2.5 V. En acceptant de compliquer un peu le circuit pour avoir deux tensions d'alimentation, la consommation peut être réduite d'environ un tiers.

4.2. RESULTATS EXPERIMENTAUX [28]

Outre des mesures statiques sur des circuits indépendants représentant chacun un sous-ensemble (décodeur, matrice, écriture, lecture) qui nous ont permis de tester la validité des masques et le bon fonctionnement des circuits, il a été procédé à des tests dynamiques sur des mémoires entières afin de mesurer :

. le temps d'accès
. la largeur minimale de l'impulsion d'écriture

...

Les résultats de ces mesures apparaissent sur les figures 4.2 et 4.3 où l'on a représenté :

. le schéma de montage qui a permis de faire cette mesure.
. l'allure des séquences d'attaque délivrées par les générateurs.
. une photographie du chronogramme des signaux utiles.

Sur la figure 4.2, le circuit RAM a été monté sur la céramique de mesure. On remarque que les lignes d'accès (50 Ω) ont été doublées partout où l'impédance d'entrée du circuit est élevée (entrée sur une grille). Ceci permet d'adapter le circuit au générateur et évite ainsi les reflexions parasites.

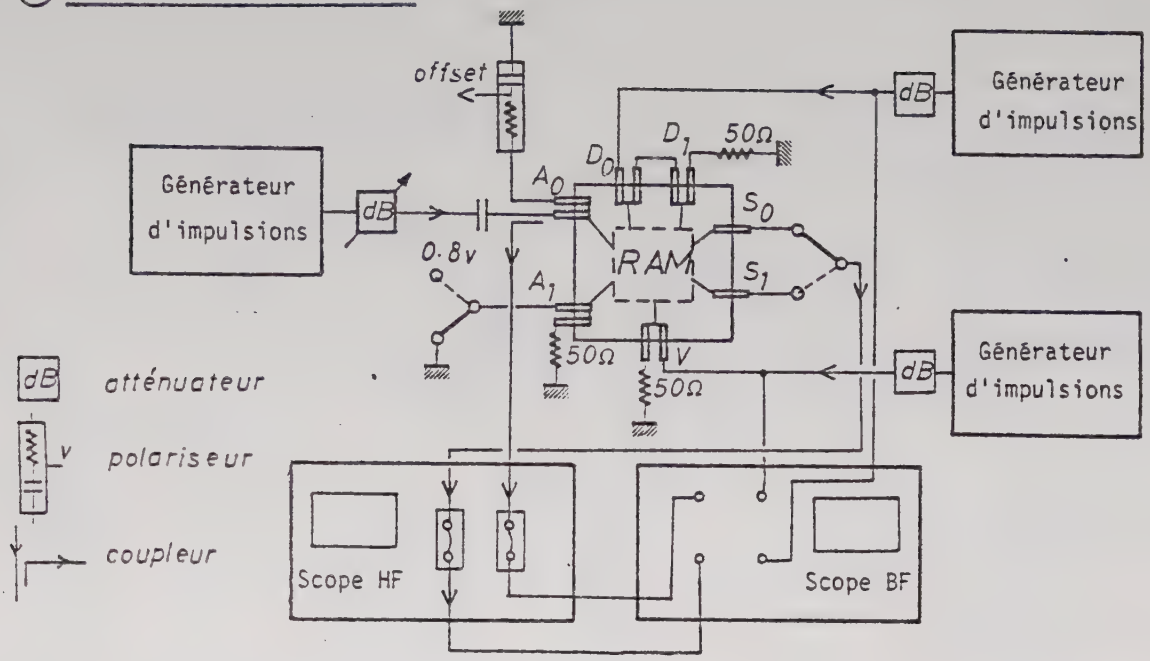
Dans ces conditions, on mesure un temps d'accès d'environ 600 ps, très en accord avec les résultats des simulations sur ordinateur.

La mesure de la durée minimale de l'impulsion d'écriture (validation) est analogue. Sur la figure, l'accès au circuit a été simplifié pour la clarté du dessin bien que l'adaptation ait été faite de la même façon.

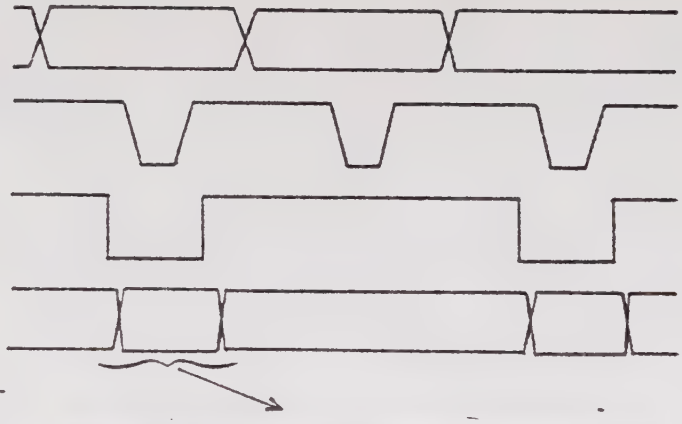
La durée minimale pendant laquelle il faut maintenir l'ordre d'écriture a été mesuré aux environs de 700 ps. Le désaccord avec les simulations est significatif. Néanmoins, ces mêmes simulations ont montré une assez grande sensibilité de ce paramètre avec le niveau réel haut sur les lignes de mot. Les courants de fuites dans les transistors d'adressages quasi-pincés peuvent fournir un élément d'explication à ce désaccord.

TEMPS D'ACCES

Montage de mesure



Chronogramme BF



Chronogramme HF

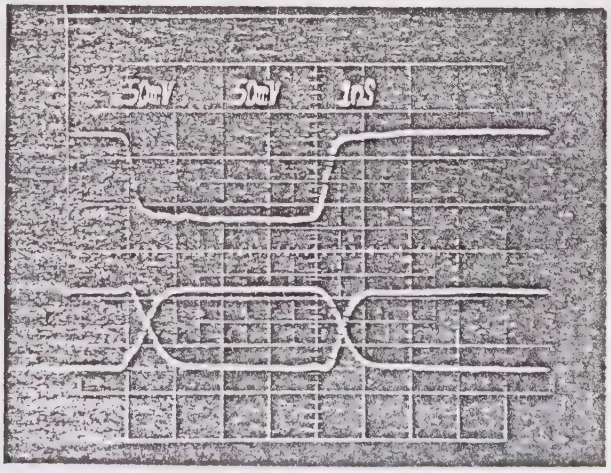
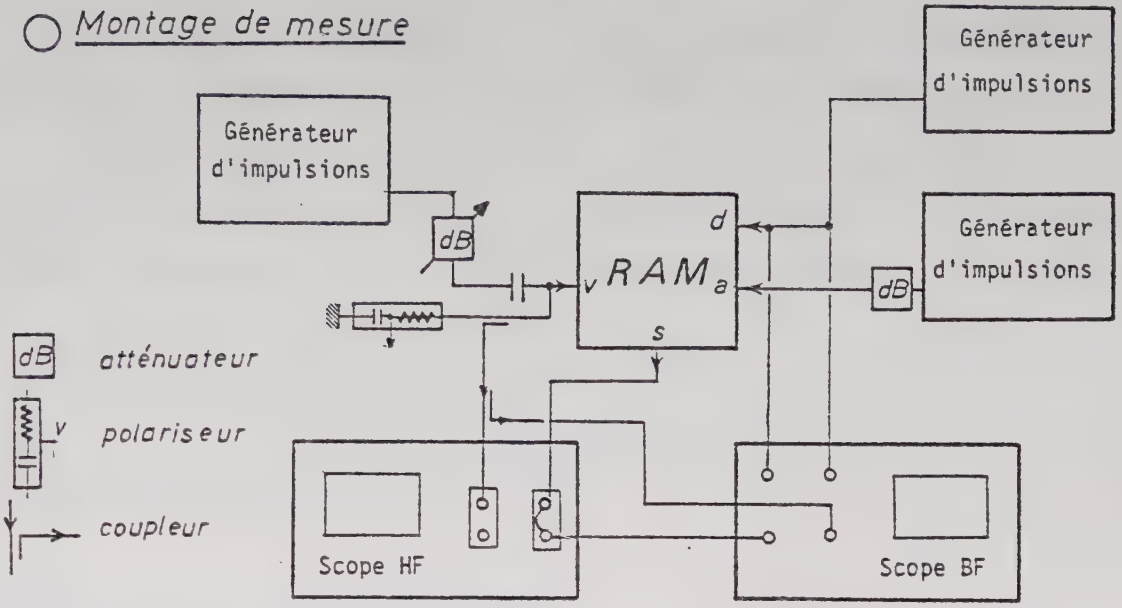


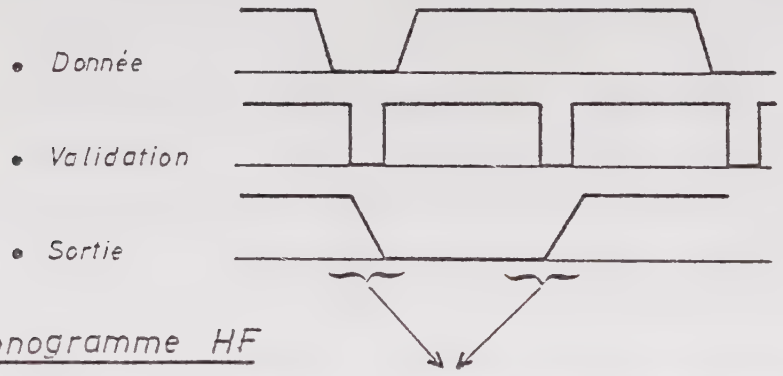
Fig. 4-2

DUREE DE L'IMPULSION D'ECRITURE .

○ Montage de mesure



○ Chronogramme BF



○ Chronogramme HF

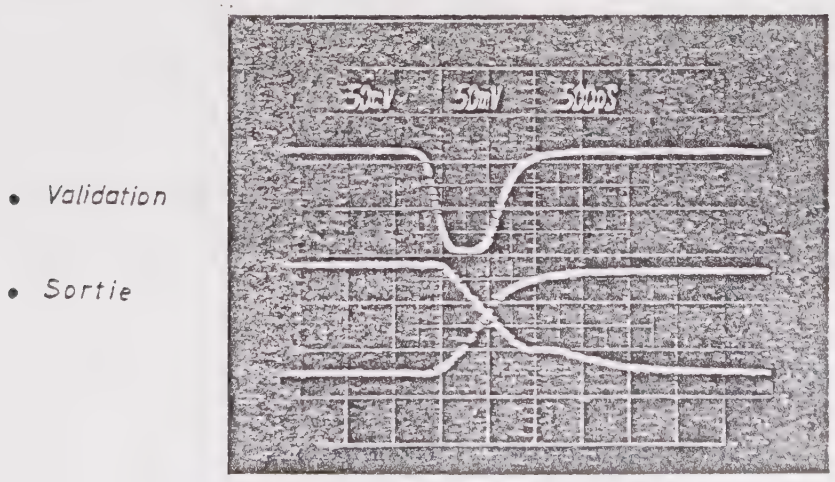


Fig. 4-3

5 - EXTENSION VERS DES CAPACITES PLUS GRANDES

Il est intéressant, à partir des résultats précédents d'extrapoler les performances d'une mémoire de capacité plus grande, par exemple, 64 fois 1 bit.

Arrangé en matrice 8 x 8, ce circuit comportera un décodeur de mot (1 parmi 8), un décodeur de bit (1 parmi 8), plus 8 dispositifs d'entrée-sortie (Le schéma synoptique d'un tel circuit à été donné au chapitre 2 fig. 2.13).

Pour démarrer cette discussion, nous prendrons comme hypothèse de conserver, pour tous les sous-ensembles, les mêmes conditions de charge que dans le circuit de test. Cette restriction nous permettra de conserver les temps de propagations à travers les différents étages.

5.1. EXTRAPOLATION DE LA PUISSANCE DISSIPEE

i) Matrice

Pour chaque combinaison des entrées d'adressage Y, 8 cellules sont sélectionnées. La consommation de toute la matrice peut alors s'écrire :

$$P = 8 \times 1.0 \text{ mW} + 56 \times 1.90 \text{ mW} \qquad \text{(cf. § 4.2)}$$

Soit en tenant compte d'une éventuelle réduction des géométries :

$$P_m = 114 \text{ mW} \cdot \frac{Z_{min}}{20}$$

ii) Adressage Y

L'étude des portes de décodage Y nous oblige à formuler quelques remarques :

. l'accroissement d'un facteur 4 du nombre de cellules connectées sur une ligne de mot nous impose d'augmenter la taille des transistors d'adressage dans la même proportion.

...

. L'utilisation de portes logiques à 3 entrées nous force à rejeter le type de porte que nous avons utilisé dans le circuit test

L'extension de la porte d'adressage présentée sur la figure 3.24, peut se faire aisément en remarquant que pour conserver les mêmes conditions de fonctionnement, les transistors d'entrée voient leur largeur augmenter d'un facteur quatre. La consommation totale des huit portes de décodage avoisine alors les 100 mW x 4 = 400 mW (cf § 3.33).

Quant aux étages tampons, ils pilotent chacun 4 entrées de porte de décodage au lieu de 1 dans le circuit de la figure 3.24. En tenant compte de l'accroissement de la taille des transistors d'entrée (x 4), c'est donc d'un facteur 16 qu'il faudra augmenter les transistors des tampons d'entrée.

Au total la puissance consommée dans le circuit de décodage peut s'écrire :

$$P_{dec\ y} = (400\ mW + 16 \times 3.1\ mW \times 3)\ \frac{Z_{min}}{20\mu}$$

$$P_{dec\ y} = 650\ mW\ \frac{Z_{min}}{20\mu}$$

Dans le but de réduire cette consommation, on est amené à étudier d'autres schémas de décodeurs et par exemple à examiner un système à deux niveaux dont nous avons déjà parlé au chapitre II (fig. 2.10). Un schéma possible est donné sur la figure 5.1. Le facteur F_i qui apparait pour chaque étage est un facteur de forme qui détermine l'augmentation de la largeur nominale des transistors composant les portes (étudiées seules au § 3.3) afin de respecter les mêmes conditions de charge.

Les portes OU du premier étage de décodage attaquent chacune deux transistors d'adressage, ceux-ci étant quatre fois plus gros. C'est donc par un facteur huit que sera augmentée la consommation d'un décodeur à quatre sorties (environ 264 = 33 mW x 8). Pour les entrées d'adresse A et B de la figure, chaque sortie de l'étage tampon attaque deux entrées de porte de décodage. Il voit par conséquent sa consommation augmentée d'un facteur 16 soit 3 mW x 16 = 48 mW.

...

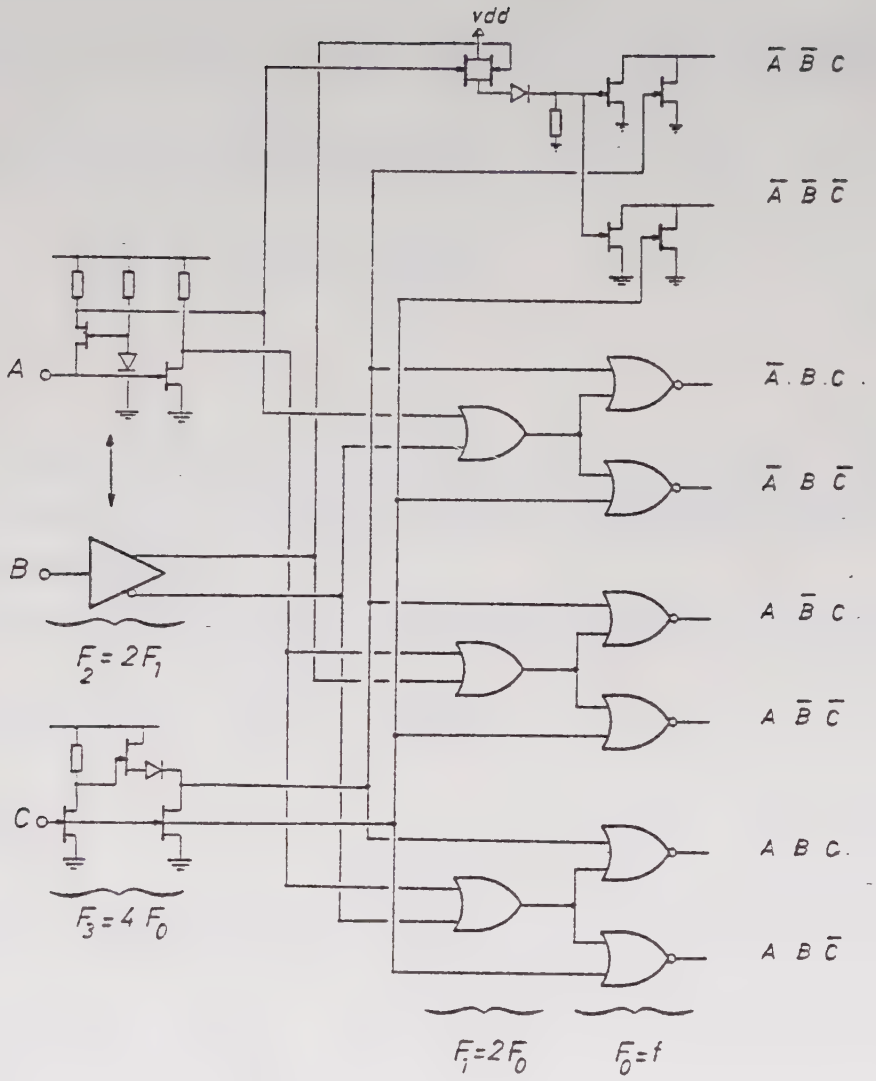

vdd
A
B
C
$F_2 = 2F_1$
$F_3 = 4F_0$
$F_1 = 2F_0$
$F_0 = f$
$\bar{A}\,\bar{B}\,C$
$\bar{A}\,\bar{B}\,\bar{C}$
$\bar{A}\,B\,C$
$\bar{A}\,B\,\bar{C}$
$A\,\bar{B}\,C$
$A\,\bar{B}\,\bar{C}$
$A\,B\,C$
$A\,B\,\bar{C}$

Fig. 5-1

L'étage tampon de l'entrée C attaque directement quatre transistors d'adresse. Sa consommation est là aussi augmentée dans le rapport 16, soit 4.5 mW x 16 = 72 mW.

Globalement, le décodage Y consommera donc :

260 mW + 2 x 48 mW + 72 mW = 360 mW (pour 20 µm de référence)

Soit presque moitié moins que le décodeur à un seul étage :

$$P_{dec\ y} = 360\ mW \times \frac{Z_{min}}{20\mu m}$$

iii) Lecture

Le circuit comprendra nécessairement 8 charges réactives et 8 amplificateurs de lecture dont un seul sera validé. La consommation globale du système de lecture sera donc :

8 x 3.5 mW + 7 x 6 mW + 10 mW = 80 mW (pour 20 µ de référence)

$$P_{lec} = 80\ mW \times \frac{Z_{min}}{20\mu} \qquad \text{cf § 4.1}$$

iv) Ecriture

Les huit systèmes d'écriture consommeront au total :

8 x 5.7 mn ≃ 46 mW (pour 20 µ de référence)

$$P_{ecr} = 46\ mW \times \frac{Z_{min}}{20\mu}$$

v) Decodage X

Nous avons vu lors de l'étude des différents organes (chap. 3), l'incidence qu'aurait le décodage X sur les circuits de lecture et d'écriture ; nous en avons tenu compte lors des évaluations précédentes. La figure 5.2 donne un schéma possible de réalisation. En conservant le même temps de décodage entre les décodeurs Y et X, il est possible d'évaluer la consommation de ce dernier

...

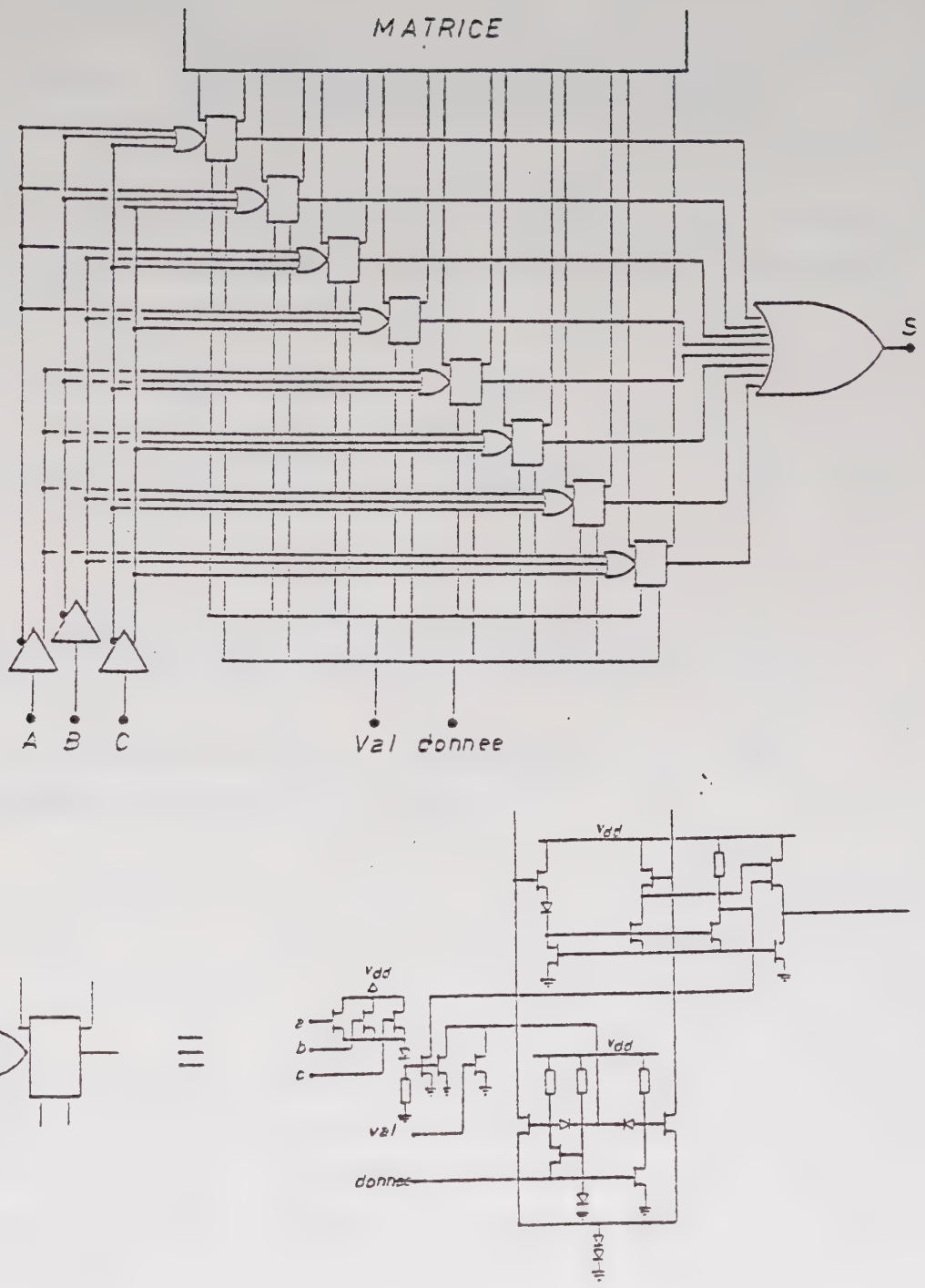


Fig. 5-2

par une expression du genre :

$$P_{dec\ x} = P_{dec\ y} \cdot \frac{\text{charge commandée par le décodeur X } (ch_x)}{\text{charge commandée par le décodeur Y } (ch_y)}$$

En remarquant que la charge du décodeur X (20µ côte lecture + 40µ côte écriture) est constante quelque soit la taille de la matrice, sa consommation sera par conséquent :

$P_{dec\ x} = 650\ mW \cdot \frac{6/8}{4} = 103\ mW$ 1 étage

$P'_{dec\ x} = 360\ mW \cdot \frac{6/8}{4} = 68\ mW$ 2 étages

vi) La largeur du transistor de sortie a été déterminée en fonction de l'amplitude minimale du signal détectable en sortie (cf § 3.4.2.).

Le tableau ci-dessous nous donne la consommation du circuit pour différentes géométries minimales du transistor :

	20 µm	10 µm	5 µm
Matrice	114 mW	57 mW	28 mW
Décodage Y (2 étages)	360 mW	180 mW	90 mW
Lecture	80 mW	40 mW	20 mW
Ecriture	46 mW	23 mW	12 mW
Decodage X (1 étage)	103 mW	52 mW	26 mW
Tampon de sortie	10 mW	10 mW	10 mW
TOTAL	713 mW	361 mW	186 mW

5.2. EXTRAPOLATION DES PERFORMANCES DYNAMIQUES

En respectant les mêmes conditions de charges que pour le circuit test

...

nous pouvons, de la même façon que nous venons de le faire pour la consommation, calculer le temps d'accès du circuit de 64 bits.

i) Décodage Y, le chemin critique de cet ensemble comprend la traversée de l'étage tampon, la traversée du premier niveau de décodage et la montée des lignes de mot. Cette configuration a été étudiée au chapitre III et présentait un délai d'environ 380 ps (fig. 3.24).

ii) La traversée de l'amplificateur de lecture, modifiée pour permettre le multiplexage X se fait en 130 ps (environ).

iii) En supposant que le retard à la mise en place des lignes de bit est proportionnel au nombre de cellules connectées sur une même colonne, celui-ci sera donc de l'ordre de :

$$200 \text{ ps} \times \frac{8}{4} = 400 \text{ ps}$$

Le temps d'accès moyen sur le chemin critique peut donc s'évaluer de la façon suivante :

- Décodage ligne (Y)	380 ps
- Mise en place des lignes de bits	400 ps
- Traversée de l'amplificateur de lecture	130 ps
Temps d'accès moyen	910 ps

5.3 EXTRAPOLATION DE LA COMPLEXITE DU CIRCUIT

Le circuit test comprenait 170 éléments. L'évaluation de la complexité du circuit 64 bits peut se faire à l'aide du tableau suivant :

...

Matrice + couplage	10 x 64
Décodage ligne : tampons d'entrée .	5 x 1
.	6 x 2
Portes 1er niveau	4 x 4
Portes 2nd niveau	2 x 8
Charges de lecture	8 x 8
Amplificateur de lecture	9 x 8
Système d'écriture	13 x 8
Décodage colonne. Tampons d'entrée	6 x 3
Portes	7 x 8
Nombre total de composants :	1003
soit environ 200 portes	

5.4 CONCLUSION

Aux vues de ces performances (64 bits, 180 mW, t_{acc} = 910 ps, Z_{min} = 5 µm) issues directes de l'extrapolation des résultats du circuit test, la première constatation qui peut être faite est que ce type d'organisation nous limite, à performance identique, vers des capacités d'environ 64 x 4 bits (avec comme hypothèse que la consommation maximale admissible avoisine le Watt). Pour atteindre des circuits plus complexes, par exemple le kilobit (ou 1024 bits), nous devons nécessairement accepter une détérioration des performances dynamiques, principalement au niveau du décodeur.

En effet, si nous conservons comme hypothèse de garder les conditions de charges précédentes, la consommation d'un circuit mémoire 1024 x 1 bit se répartirait comme suit :

...

Matrice	:	480 mW	matrice 32 x 32 Z_{min} = 5 µ
Charges	:	28 mW	
Ecriture (alim. = 2.5 V)	:	24 mW	
Lecture (alim. = 2.5 V)	:	26 mW	
Décodeur Y (2 étages, alim.2.5V)	:	991 mW	
Décodeur X (2 étages, alim.2.5V)	:	46 mW	
TOTAL	:	1595 mW	

Si nous acceptons de réduire la consommation du décodeur Y à 400 mW, son temps de traversée passe de 380 ps à 600 ps. Il devient alors possible de réaliser une mémoire de 1 Kbit consommant 1 Watt et dont le temps d'accès est déterminé par le tableau suivant :

Décodage Y	600 ps
Mise en place des lignes de bits	1600 ps
Traversée de l'amplificateur de lecture	130 ps
Temps d'accès	2330 ps

Cette performance est à comparer avec les mémoires silicium du commerce qui à capacité égale ont des caractéristiques résumées dans le tableau ci-dessous [29] :

Mémoire RAM statique 1024 x 1 bit				
Technologie	Temps d'accès	Puissance active	Nom du circuit	Fabricant
MOS	20 ns	> 750 mW	2125 H-1	INTEL
CMOS	115 ns	21.5 mW	S 6508 A	AMI
Bipolaire	9 ns	800 mW	H M 2118	HITACHI

...

Nos circuits peuvent donc se placer très honorablement dans la famille des mémoires rapides. Toutefois on ne trouve pas la supériorité habituelle de l'Arséniure de Gallium vis-à-vis du Silicium. Ceci tient en grande partie aux options technologiques retenues (LPFL, simple seuil).

L'utilisation de technologies plus élaborées (couche implantée, seuil multiple,...) devrait permettre une réduction de la puissance dissipée sans dégrader notablement les performances dynamiques. Par exemple en utilisant une cellule plus simple (de type DCFL) présentant une excursion logique réduite (typiquement 0.5 V) il est possible de réduire le niveau d'adressage et, par conséquent, la tension d'alimentation.

CONCLUSION

Le travail présenté dans ce mémoire portait sur l'analyse et la réalisation de mémoires statiques, à accès aléatoires, intégrées sur Arséniure de Gallium. Cette étude avait principalement pour but :

- d'utiliser la famille logique LPFL pour la réalisation de circuits mémoires et de montrer ainsi son aptitude à l'intégration grande échelle (LSI). Cette technologie, par sa souplesse, nous est apparue comme la plus appropriée ; la large plage des tensions de seuil admissibles, masquant les dispersions technologiques, nous encourage dans ce sens.
- d'adapter à notre cas particulier les outils de simulation mis à notre disposition par la compagnie.

Sur ce dernier plan, nous avons utilisé un nouveau modèle de FET dont le réalisme est montré par la comparaison entre simulation et résultats des mesures, pour le circuit test (chap.4). Ce modèle, dont les paramètres sont ajustés en fonction des caractéristiques physiques des couches d'AsGa est présenté dans le chapitre 1 et l'annexe A. L'utilisation quasi systématique du programme d'analyse de réseau CIRCEC disponible sur IBM 3033 nous a permis d'étudier les performances de ce programme et d'en regarder les limitations pratiques. Nous avons pu ainsi, en adaptant les réseaux analysés aux grandeurs à étudier, obtenir des résultats précis et à faible coût.

Sur le plan circuit, nous avons dans un premier temps analysé globalement l'architecture d'un circuit mémoire. Cette étude, libre de toute contrainte technologique, ne devrait nullement être remise en cause par une inévitable sophistication des technologies. Elle présente les grands principes de conception auxquels doit obéir chaque sous-circuit.

L'application de ces règles, en accord avec l'acquis technologique du laboratoire, nous a permis de concevoir et de simuler un ensemble de solutions acceptables. Il est bien évident qu'une complication des processus technologiques (seuils multiples,...) alliée à une meilleure connaissance du matériau (maîtrise des états de surface, des courants de fuite,...) remettra en cause les options retenues.

...

Pour vérifier ces options, il a été réalisé un premier circuit probatoire de 4 mots de 2 bits. Nous avons donc mis au point une procédure de caractérisation statique pour vérifier le bon fonctionnement des différents sous-ensembles et dynamique pour mesurer les performances réelles de la mémoire. Le temps d'accès (600 ps), la durée de l'impulsion d'écriture (700 ps) ainsi que la consommation (80 mW) sont en très bon accord avec les résultats prévus par les simulations.

L'extrapolation à des circuits plus complexes (chap.5) montre la possibilité de réaliser, avec les mêmes options technologiques, des circuits de plus de 4000 composants (64 x 4 bits). Un tel niveau de complexité, envisageable dans les deux années à venir, nous permet de nous hisser sur le plan atteint par Rockwell avec le multiplieur présenté dans l'introduction.

Les performances escomptées pour un circuit d'1K bit (temps d'accès 2.3ns, consommation 1W) montrent que notre approche est très compétitive et permet des temps d'accès très inférieurs à ceux des circuits ECL.

L'utilisation de nouvelles technologies comme l'implantation ionique localisée permettra, beaucoup plus facilement que dans notre technologie creusée, la réalisation de circuits à seuils multiples dont l'intérêt est reconnu par tous [11] Outre l'amélioration des performances dynamiques, la structure plane de ces circuits facilite la réalisation des interconnexions et augmente par ce fait le rendement de fabrication [35]. Ils permettront de réaliser, avec des FET "normally on", les portions critiques d'un point de vue vitesse (par exemple le décodeur, où une approche à double seuil est particulièrement bien adaptée). Les familles logiques à enrichissement, modifiées par l'utilisation de charges saturables à déplétion, resteront utilisées dans les parties où une faible consommation est de rigueur (matrice) [36]. Cette perspective à court terme permettra d'agrandir la place prise par les dispositifs AsGa dans les organes d'acquisition de données et de calcul.

BIBLIOGRAPHIE

[1] A. KASZYNSKI
"Etude des phénomènes de transport dans les matériaux semiconducteurs par les méthodes de Monte-Carlo - Application à l'Arséniure de Gallium"
Thèse de Docteur Ingénieur - Juillet 1979 - Lille

[2] J.F. PONE
"Etude des non linéarités fondamentales du transistor à effet de champ à grille Schottky sur Arséniure de Gallium"
Thèse 3ème Cycle - 1980 - Orsay

[3] G. CONVERT
Physical limitations in high speed logic gates"
Communication présentée au 4th National Conf. Microwave Solid - State Electronics - Gdansk (Poland) 17-20 Oct. 1977

[4] T. MIMURA
"Status of the GaAs Metal Oxyde Semiconductor Technology"
IEEE Transaction on Electron Devices - ED 27, June 1980

[5] G. BERT, G. NUZILLAT
"Implication of the interface effect in the normally-off type GaAs MESFET"
Revue de Physique Appliquée - Décembre 1979, p. 771

[6] P. MOREL
"Approche physique d'un modèle de simulation de MESFET à canal ultracourt intégré sur Silicium"
Thèse de 3ème Cycle - 1977 - Orsay

[7] W. SHOCKLEY
"A unipolar Field Effect Transistor"
Proc. IRE 40, 1952, p. 1365

[8] T. PHAM NGU, G. NUZILLAT, G. BERT, M. GLOANEC
"A 100 ps digital IC in femtojoule range with quasi-normally-off type GaAs MESFET"
1970 Workshop on Compound Semiconductor Microwave Materials and Devices, WOCSEMMAD-79, Atlanta (Georgia) , 19-20 Fev. 1979, Paper C-3

...

[9] J.P. PURON
"Etude de portes logiques rapides à faible consommation à transistor MESFET intégrés sur Silicium"
Thèse 3ème Cycle , 1975 - Orsay

[10] J.P. MORIN
"Modélisations de charges saturables utilisables en technologie MESFET quasi-normally-off, intégrables sur AsGa"
Rapport de DEA, 1979 - Orsay

[11] K. LEHOVEC, R. ZULEEG
"Analysis of GaAs FET's for integrated logic"
IEEE on Electron Devices, vol ED-27, June 1980

[12] R.L. VAN TUYL, C. LIECHTI
"High speed integrated logic with GaAs MESFET"
IEEE J. Solid. State Circuits, vol SC-9, Oct. 1974

[13] G. NUZILLAT, F. DAMAY-KAVALA, G. BERT, C. ARNODO
"Low pinchoff voltage FET logic : LSI oriented logic approach using quasi-normally-off GaAs MESFET"
IEE proc. vol 127, Pt.I, N° 5, October 1980

[14] S.I. LONG, F.S. LEE, R. ZUCCA, B.M. WELCH, R.C. EDEN
"MSI High speed low power GaAs integrated circuits using Schottky diode FET logic"
IEE Transaction on Microwaves Theory and Techniques MTT-28, May 1980

[15] G. BERT, G. NUZILLAT, C. ARNODO
"Femtojoule logic circuit using normally-off GaAs MESFET"
Electronics Letters, vol 13, n° 21, Oct. 1977

[16] L.M. TERMAN
"MOSFET memory circuits"
Proc. IEEE, vol 59, p. 1044-1058, July 1971

[17] C. MEAD, M. REM
"Cost and performances of VLSI computing structures"
IEEE Journal of Solid State Circuits, SC-14, April 1979

[18] C. MEAD R. LONWAY
"Introduction to VLSI system"
Addison Wesley Publishing Company

...

[19] D.W. HIGHTOWER
"The interconnection problem : a tutorial"
Computer 7, April 1974

[20] J. SPRINGER
"Making sense out of delay specs in semiconductor devices"
Electronics, oct. 25, 1971

[21] H. GLOCK, U. BURKER
"An ECL 100 K comptabible 1024x4 bits RAM with 15 ns access time"
IEEE Journal of Solid State Circuits, SC 14, October 1979

[22] K. LEHOVEC
"GaAs enhancement mode FET-tunnel diode ultra fast low power inverter and memory cell".
IEEE J. of Solid State Circuits, SC-14,October 1979

[23] S. SUZUKI
"A static random access memory with normally-off type Schottky barrier"
IEEE J. of Solid State Circuits, SC8, October 1973

[24] K.E. DRANGEID
"A memory cell array with normally-off Schottky barrier FET"
IEEE J. of Solid State Circuits, SC-7, August 1972

[25] S. SUZUKI
"Threshold difference compensated sense amplifier"
IEEE J. of Solid State Circuits, Sc-14, December 1979

[26] R.W. KEYES
"Fundamental limits in digital information processing"
Proceedings of the IEEE, vol 69, n° 2, February 1981

[27] A. EL MOSHELI
"Macromodelisation et macrosimulation des circuits intégrés à grande échelle"
Thèse de Docteur Ingénieur, Juin 1980, Paris VI

...

[28] G. BERT, J.P. MORIN, G. NUZILLAT, C. ARNODO
"High speed GaAs static random acess memory"
Submitted to the 1981 GaAs IC Symposium, San Diego, CA, October 27-29, 1981

[29] D. BURSKY
"Designer's reference"
Electronic Design, July 19, 1980

[30] G. NUZILLAT
"GaAs ICs gigabit logic applications"
ESSCIRC-81, Frieburg 22-24 Sept. 1981 (papier invité)

[31] G. NUZILLAT
"GaAs digital ICs for high speed signal processing"
EMC-81, Amsterdam, September 7-11, 1981 (papier invité)

[32] J.K. NOTTHOFF, G.L. TROEGER
"All ion implantation JFET MSI performance"
2nd GaAs IC Symposium, Las Vegas, Nevada, Nov 4-6, 1980

[33] D.K. KINELL and D.O. WILSON
"GaAs static random access memory cell design"
2 nd GaAs IC Symposium, Las Vegas, Nevada, Nov. 4-6, 1980

[34] D.A. HODGES
"Semiconductor memories"
IEEE Press.

[35] B.M. WELCH, Y.D. SHEN, R. ZUCCA, R.C. EDEN, S.I. LONG
"LSI processing technology for planar GaAs integrated circuits"
IEEE Transaction on Electron Devices, vol ED-27, n° 6, June 1981

[36] N. YOKOYAMA, T. MIMURA, M. FUKUTA, H. ISHIKAWA
"A self aligned source/drain planar device for ultra high-speed GaAs MESFET VLSIs"
IEEE International Solid State Circuits Conference ISSCC-1981

- A N N E X E A -

MODÈLE DE TRANSISTOR MESFET

...

A.1. RAPPEL SUR LE MODELE GRADUEL

En tenant compte des hypothèses graduelles décrites au chapitre 1, les équations décrivant le dispositif peuvent s'écrire (fig. A-1)

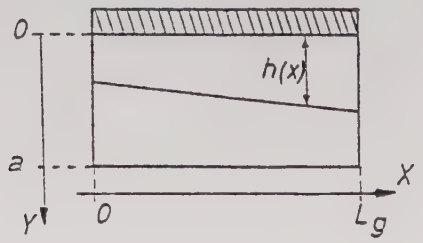


Fig. A-1

$$\frac{d^2 V}{d y^2} = \frac{q}{\varepsilon} N_D \quad \text{pour} \quad 0 < y < h \quad \text{avec} \quad V(y = 0) = V_G - V_{Bi}$$

$$\text{et} \quad \frac{d V}{d y}(h) = 0 \qquad (1)$$

$$I_D = q \mu N_d (a - h(x)) Z \frac{d V}{d x} \quad \text{pour} \quad h < y < a \quad \text{avec} \quad V(x = 0) = 0$$
$$V(x = L_g) = V_D$$

L'intégration de ce système permet d'obtenir la relation entre I_D et V_{DS}

$$i = \frac{I_D}{I_{max}} = S(u_{DS} + u_S) - S(u_S) \qquad (3)$$

avec :

$$u_{DS} = \frac{V_{DS}}{V_P} \qquad u_x = \frac{V_{Bi} - V_{Gx}}{V_P} \qquad I_{max} = \frac{2 \varepsilon \mu}{3 a} V_P^2 \frac{Z}{Lg}$$

$$S(x) = x (3 - 2 x)$$

...

A.2. PRISE EN COMPTE DU PHENOMENE DE SATURATION DE VITESSE

On suppose que le courant dans le FET sature lorsque le champ électrique, maximum au bord de la grille côté drain, atteint sa valeur critique.

Dans ce cas, le courant dans le canal peut s'écrire :

$$I_c = q \mu N_d \, (a - h \, (Lg)) \; Z \, E_c$$

$$i_c = \lambda \, (1 - u_{Dc}) \qquad \text{avec} \quad \lambda = \frac{3 \, Lg \, E_c}{V_p} \qquad (4)$$

$$i_c = S(u_{Dc}) - S \, (u_S)$$

u_{Dc} tension V_{DS} normalisée quand le champ électrique atteint E_c

En éliminant u_{Dc} dans ces deux équations, on obtient une relation liant le courant de saturation à la polarisation u_S

$$2 \, (\frac{i_c}{\lambda})^3 - 3 \, (\frac{i_c}{\lambda})^2 - i_c - 1 - S(u_S) = 0$$

qui a pour solution :

$$i_c = \lambda \left[\frac{1}{2} - \sqrt{1 + \frac{2 \lambda}{3}} \; \sin \; (\frac{1}{3} \; \text{Arc sin} \; \frac{\lambda - 1 + 2 \, S(u_S)}{(1 + \frac{2 \lambda}{3})^{3/2}}) \right] \qquad (5)$$

Nous sommes donc maintenant en présence de deux expressions décrivant le courant-drain. Le passage progressif de l'une à l'autre se fait en écrivant que le modèle graduel classique, sature à une valeur i_c.
Pour ce faire, on effectue une homothétie par rapportà l'origine de façon à conserver l'allure de la courbe.

$$i = \Omega \; (S \, (\frac{u_{DS}}{\Omega} + u_S) - S \, (u_S)) \qquad (6)$$

avec :

$$\Omega = \frac{i_c}{1 - S(u_S)}$$

...

La tension de coude se trouve dans ce cas décalée à une valeur Ω $(1 - u_S)$, plus faible que dans le modèle classique, ce qui est plus en accord avec l'idée d'un modèle a saturation de vitesse (fig. A-2).

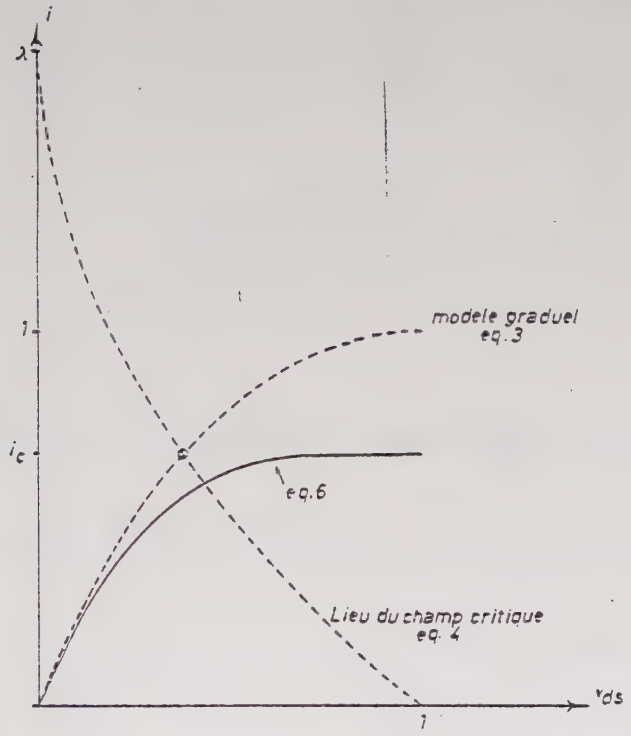


Fig. A-2

A.3. DETERMINATION DE LA RESISTANCE D'ACCES

La résistance ohmique d'une portion de semiconducteur de longueur L et de largeur Z s'exprime par une relation du genre :

$$R = R_{\square} \cdot \frac{L}{Z} \qquad (7)$$

$R_{\square}$ (résistance par carré) est une caractéristique de la couche c'est-à-dire de son dopage, de la mobilité des porteurs mais aussi de son épaisseur.

Pour une couche initiale sur une profondeur électrique a_o, la résistance par carrée peut s'exprimer par la relation :

$$R_{\square} = \frac{1}{N_D \, q \, \mu \left(a_o - \sqrt{\frac{2 \, \varepsilon \, \Psi_{ss}}{q \, N_D}}\right)} \qquad (8)$$

...

L'influence de la non-idéalité du contact ohmique peut être représentée par une résistance de valeur $\sqrt{f_c \cdot R_\square}/Z$

f_c : facteur de contact dépend de la qualité du contact ($f_c \simeq 10^{-5} \Omega.cm^2$)

Ce terme est facilement obtenu en considérant le contact ohmique comme une ligne composée de cellules élémentaires (fig. A-3) et en calculant son impédance Compte-tenu des dimensions géométriques l'approximation des lignes infinies peut être faite et l'on retrouve le terme désiré.

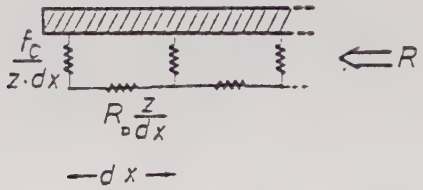


Fig. A-3

A.4. INJECTION DE COURANT DE LA GRILLE VERS LE CANAL

Pour tenir compte de cet effet, on ajoute au système (1), (2) une troisième équation décrivant la non-conservation du courant [6].

Ce système n'ayant pas de solution analytique évidente, une bonne approximation peut être faite par un réseau de deux générateurs de courant (entre grille et drain et entre grille et source) qui, en accord avec la théorie de l'émission thermoionique s'écrivent :

$$I_{GX} = I_{SS} \left(\exp \left(\frac{V_{GX}}{nU_T}\right) - 1\right) \qquad (9)$$

$$I_{SS} = A^* T^2 \exp \left(-\frac{\Phi_B}{U_T}\right) \frac{Z L_g}{2} \qquad (10)$$

A^* : Constante de Richardson ($\simeq 16$ A.cm^2 $(°K)^{-2}$)
Φ_B : Hauteur de barrière
U_T : Tension thermodynamique (kT/q)
n : Coefficient empirique (dit "d'idéalité") qui exprime que compte tenu de l'état d'interface métal GaAs, la loi théorique n'est pas exactement respectée.

...

La grille étant constituée d'une étroite bande de métal, elle présente une résistance ohmique non négligeable et sera modelisée par une résistance de valeur :

$$R_g = R_{\square g} \frac{Z}{L_g} \frac{1}{m_g} \qquad (R_{\square g} \simeq 1.5\ \Omega/\square) \qquad (11)$$

m_g est un facteur qui varie suivant le type d'accès

- accès à une extrémité $m = 3$
- accès aux deux extrémités $m = 12$
- accès au milieu $m = 12$

- A N N E X E B. -

PARAMÈTRES DESCRIPTIFS DES CIRCUITS MÉMOIRES - DÉFINITION

...

Les principales caractéristiques des mémoires électroniques peuvent être grossièrement classées en deux catégories :

- Paramètres décrivant les performances du circuit, dans lesquelles nous classerons la consommation, le temps d'accès, la densité d'intégration, etc ...

- Paramètres décrivant les choix technologiques de fabrication, dynamicité, possibilité d'écriture, volatilité, etc...

B.1. PARAMETRES DECRIVANT LES PERFORMANCES DU CIRCUIT

- La capacité en bit (ou en mots de B bits) exprime la quantité d'information que l'on peut mémoriser (rappelons que 1 Kbit = 1024 bits).

- La consommation ; c'est la puissance statique consommée par le circuit. On distinguera la puissance statique consommée au repos (ou de "stand-by"), le circuit étant isolé, de la puissance active en fonctionnement. Le premier terme représente l'énergie qui faut fournir au circuit pour qu'il conserve, sans détérioration son état mémorisé. Cette puissance est dissipée dans toutes les parties du circuit qui ne sont pas sélectionnées (pour une opération de lecture ou d'écriture) c'est-à-dire, comme nous le verrons plus tard, la plus grosse part du circuit global. On devra donc s'efforcer de choisir un circuit permettant une minimisation de cette consommation statique.

- Vitesse ; trois paramètres principaux caractérisent généralement les performances dynamiques de la mémoire ce sont :

  . le temps d'accès exprimant l'intervalle de temps entre la demande d'information d'une part, et l'apparition de celle-ci en sortie. Cette quantité représente la caractéristique "lecture" du circuit

  . Le temps de cycle qui représente l'intervalle de temps minimum séparant deux activations successives de la mémoire.
  Il comprend, outre le temps d'accès, un délai permettant une stabilisation des différents niveaux internes du circuit.

...

- Largeur de l'impulsion d'écriture ; Comme nous le verrons plus loin, l'écriture proprement dite s'effectue par l'envoi d'une impulsion déclenchant le processus, et devant être maintenue tant que l'organe de mémorisation n'a pas basculé. Cette grandeur ne caractérise pas entièrement les performances écriture du circuit car elle ne tient pas compte des caractéristiques de l'adressage (cf. 2.3)

- Surface du circuit ; ou plus généralement la densité qui exprime le rapport $\frac{\text{Capacité}}{\text{surface du circuit}}$ il s'exprime en bit /mm^2.

B.2. PARAMETRES FONCTIONNELS DU CIRCUIT

Ces termes décrivent les choix technologiques que l'on est amené à faire pour tenir compte de tous les facteurs imposés par l'environnement du circuit mémoire (par les contraintes technologiques de réalisation etc ...) qui imposent dans ces grands principes le schéma synoptique du circuit global.

- Type d'accès à l'information mémorisée

Les données à stocker peuvent être mémorisées dans l'ordre où elles sont présentées. Dans ce cas, la relecture se fera en séquence, et, pour accéder à la $N^{ième}$ donnée, il faudre lire les N-1 informations précédentes.
On parle dans ce cas de mémoire à défilement ou à accès séquentiel. C'est le cas par exemple des bandes magnétiques ou, pour rester dans le domaine de l'électronique, des registres à décalage.

Ce type de circuit a pour avantage sa simplicité mais sa lenteur le rend inapte au stockage d'un grand nombre d'informations. Dans les circuits de grosse capacité, il faudra donc accéder directement à la cellule désirée, on parle alors de mémoire à accès direct.

Remarquons que ce type d'organisation réclame un circuit d'adressage qui sélectionne d'une manière unique, une cellule parmi toutes les autres, en fonction d'une certaine combinaison d'entrées dites d'adressage.

...

- Type de stockage de l'information élémentaire

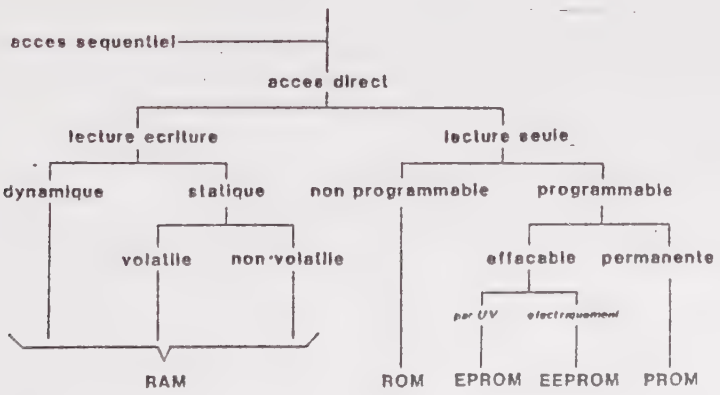
Dans le but de diminuer la consommation des grosses mémoires, on est amené à ne plus fournir un permanence au système, l'énergie nécessaire au maintien sans détérioration, de l'information stockée. Celle-ci se dégradant dans le temps rend nécessaire une restauration périodique (on parle de rafraichissement). De tels circuits sont appelés à stockage dynamique de l'information, par opposition aux circuits purement statiques ou l'énergie de maintien est fournie en permanence.

- Programmation de la donnée mémorisée

Une mémoire, dans un ensemble plus vaste, peut avoir plusieurs vocations : Elle peut être utilisée uniquement pour stocker les ordres à fournir aux organes extérieurs. Utilisée dans ce cas uniquement en lecture, on parle alors de mémoire morte. Il en existe de très nombreuses variétés suivant que l'information est contenue d'une manière irréversible dans le schéma du circuit - Read only Memory - où si c'est à l'utilisateur de programmer lui-même l'état de sa mémoire par destruction sélective d'un circuit initialement vide (claquage de jonction ...) - Programable Read only Memory - Si la destruction n'est pas irréversible, on parle alors de mémoire effaçable - Erasable programable Read Only Memory -.

Dans le cas le plus général, une mémoire est utilisée aussi bien en écriture qu'en lecture par les organes extérieurs. Son contenu pouvant être très facilement programmé par l'utilisateur. On parle dans ce cas de mémoire à accès aléatoire - Random Acces Memory -

Certaines mémoires statiques aléatoires ont de plus , la possibilité de conserver leur état stocké après coupure des alimentations, dans ce cas on dit du circuit qu'il est non volatile.
L'organigramme ci-dessous résume ces différentes définitions.



- ANNEXE C. -

CALCUL DU GAIN DES CHARGES DE LECTURE

Calcul du gain de l'ensemble - transistor de couplage - charge des lignes de bit pour de faibles variations autour de la valeur moyenne du signal d'entrée.

C.1. CHARGE RESISTIVE (fig. C-1)

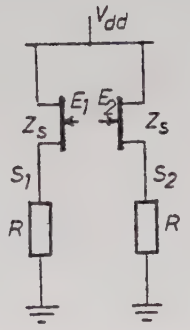


Fig. C-1

La relation décrivant ce système est donnée par (approximation quadratique) :

$$\gamma \frac{Z_s}{L} (E - S - V_T)^2 + g_c Z_s (E - S - V_T).(V_{DD} - S) = \frac{S}{R} \qquad (1)$$

Plaçons nous à la valeur moyenne de la polarisation, dans ce cas :

$$E_1 = E_2 = E \; ; \quad S_1 = S_2 = S$$

et appliquons une variation : $d E_1 = d E = - d E_2$

En posant :

$$g_m = 2 \gamma (E - S - V_T)/L$$

Nous obtenons pour un côté l'équation :

$$g_m Z_s (d E - d S_1) + g_c Z_s (E - S - V_T)(- d S_1) + g_c Z_s (d E - d S_1)(V_{DD} - S) - \frac{dS_1}{R} = 0$$

qui nous amène une expression du genre :

$$d S_1 = G d E_1 = G d E$$

de la même façon :

$$d S_2 = G d E_2 = G d E$$

...

L'expression du gain :

$$\frac{d S_1 - d S_2}{d E_1 - d E_2} = G$$

avec :

$$G = \frac{g_m R Z_s}{1 + g_m R Z_s} \cdot \frac{1 + \frac{g_c}{g_m} (V_{DD} - S)}{1 + \frac{g_c R Z_s}{1 + g_m R Z_s} (V_{DD} + E - 2 S - V_T)}$$

qui est toujours inférieur à 1. Le potentiel S s'exprime facilement en résolvant l'équation (1).

C.2. CHARGE SATURABLE (Fig. C-2)

Ce système est analogue au précédent. Les équations régissant le fonctionnement deviennent :

$$I = \gamma \frac{Z_s}{L} (E - S - V_T)^2 + g_c Z_s (E - S - V_T) (V_{DD} - S)$$

$$I = \gamma \frac{Z_g}{L} (V - V_T)^2 + g_c Z_g (V - V_T) \cdot S$$

L'étude du gain est identique au cas précédent. On obtient pour l'expression du gain :

$$G = \frac{1}{1 + g_c \cdot \frac{(E - S - V_T) + \frac{Z_g}{Z_s} (V - V_T)}{g_m + g_c (V_{DD} - S)}}$$

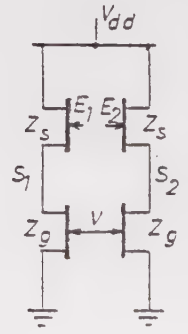


Fig. C-2

C.3. CHARGE ACTIVE (Fig. C-3)

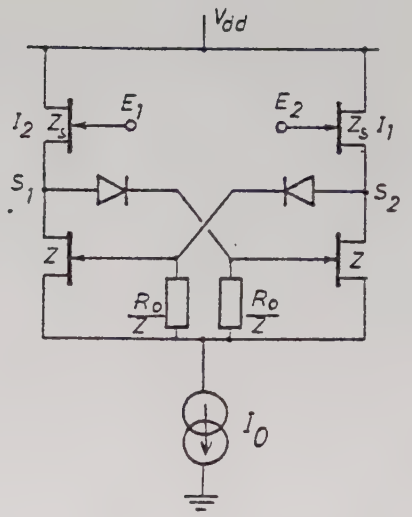


Fig. C-3

Ce circuit est un peu plus complexe et nécessite pour son analyse de faire les hypothèses suivantes, que nous justifierons a posteriori :

- Chute de tension dans les diodes constantes V_d
- Pas de courant injecté dans la grille des transistors de charge.

Les équations régissant ce type de circuit sont données par :

$$I_0 = I_1 + I_2$$

$$I_1 = \gamma \frac{Z_s}{L_g} (E_1 - S_1 - V_T)^2 + g_c Z_s (E_1 - S_1 - V_T)(V_{DD} - S_1) \qquad (3)$$

$$I_2 = \gamma \frac{Z_s}{L_g} (E_2 - S_2 - V_T)^2 + g_c Z_s (E_2 - S_2 - V_T)(V_{DD} - S_2) \qquad (4)$$

$$I_1 = \gamma \frac{Z}{L} (S_2 - V_d - X - V_T)^2 + g_c Z (S_2 - V_s - X - V_T)(S_1 - X) + \frac{S_1 - V_d - X}{R_0} Z \qquad (5)$$

$$I_2 = \gamma \frac{Z}{L} (S_1 - V_d - X - V_T)^2 + g_c Z (S_1 - V_d - X - V_T)(S_2 - X) + \frac{S_2 - V_d - X}{R_0} Z \qquad (6)$$

...

Le calcul de la polarisation statique moyenne se fait en posant :

$$E_1 = E_2 = E \qquad\qquad S_1 = S_2 = S$$

dans ce cas :

$$I_1 = I_2 = I_0/2$$

Dans la suite du calcul, nous poserons :

$$u = E - S - V_T$$

$$v = S - V_d - X - V_T$$

$$K = \gamma/L$$

L'équation 3 (ou 4) permet aisément de calculer la polarisation des suiveurs.

$$u = -\frac{g_c}{K + g_c}\,\frac{V_{DD} - E + V_T}{2} + \sqrt{\left(\frac{g_c}{K + g_c}\,\frac{V_{DD} - E + V_T}{2}\right)^2 + \frac{I_0}{2}\,\frac{1}{(K + g)\,Z_s}}$$

$$v = -\frac{g_c\,(V_d + V_T) + 1/R_0}{2\,(K + g_c)} + \sqrt{\left(\frac{g_c\,(V_d + V_T) + 1/R_0}{2\,(K + g)}\right)^2 - \left(\frac{V_T}{2} - \frac{I_0}{2}\,\frac{1}{Z\,(K + g_c)}\right)}$$

Autour de ce point de polarisation, en posant $E_1 = E + d\,E$ et $E_2 = E - d\,E$ nous obtenons quatre nouvelles équations nous permettant de détailler la variation de tous les paramètres.

En posant :

$$g_{ms} = 2\,K\,u \qquad\qquad g_m = 2\,K\,v$$

...

$$0 = d\,I_1 + d\,I_2$$

$$d\,I_1 = g_{ms}\,Z_s\,(d\,E - d\,S_1) + g_c\,Z_s\,(E - S - V_T)\,(-\,d\,S_1) + g_c\,Z_s\,(V_{DD} - S)\,(d\,E - d\,S_1) \qquad (3')$$

$$d\,I_2 = g_{ms}\,Z_s\,(-\,d\,E - d\,S_2) + g_c\,Z_s\,(E - S - V_T)\,(-\,d\,S_2) + g_c\,Z_s\,(V_{DD} - S)\,(-\,d\,E - d\,S_2) \qquad (4')$$

La solution de ce système amène le résultat qui paraissait intuitif :

$$d\,S_1 = -\,d\,S_2 = d\,S$$

$$d\,I_1 = g_m\,Z\,(-\,d\,S - d\,X) + g_c\,Z\,(S - V_d - X - V_T)\,(d\,S - d\,X) + g_c\,Z\,(S - X)\,(-\,d\,S - d\,X) + \frac{Z}{R_0}\,(d\,S - d\,X) \qquad (5')$$

$$d\,I_2 = g_m\,Z\,(d\,S - d\,X) + g_c\,Z\,(S - V_d - X - V_T)\,(-\,d\,S - d\,X) + g_c\,Z\,(S - X)\,(d\,S - d\,X) + \frac{Z}{R_0}\,(-\,d\,S - d\,X) \qquad (6')$$

$d\,I_1 + d\,I_2$ permet d'exprimer la variation de la tension commune : $d\,X = 0$

Les deux expressions de la différence $d\,I_1 - d\,I_2$ obtenue en combinant 3' et 4' puis 5' et 6' permettent enfin d'obtenir l'expression du gain :

$$\frac{d\,S}{d\,E} = \frac{g_{ms}\,Z_s + g_c\,Z_s\,(V_{dd} - S)}{g_{ms}\,Z_s - g_m\,Z + \frac{Z}{R_0} + g_c\left[Z_s\,(V_{dd} + E - 2\,S - V_T) - g_c\,Z\,(V_d + V_T)\right]}$$

- A N N E X E D -

PRÉSENTATION DU PROCESSUS DE RÉALISATION DU CIRCUIT

...

Dans cette annexe, nous allons examiner le processus de réalisation des circuits intégrés dont nous avons parlé tout au long de cette étude. Les grandes lignes qui le régissent peuvent être résumées ainsi :

- Souplesse suffisante pour modifier rapidement la structure du circuit. L'emploi du masquage électronique direct sur plaquette trouve ici sa pleine justification

- Stabilité de la filière technologique pour s'affranchir de tout fait nouveau qui pourraient remettre en cause quelques options préalables.

Dans cette optique, nous avons choisi un processus basé sur des transistors à grilles creusées intégrées sur des couches épitaxiées en phase vapeur, isolées par des ilôts mésa.

D.1. ENVIRONNEMENT DU PROCESSUS TECHNOLOGIQUE

L'organigramme complet relatif à l'élaboration d'un circuit est présenté sur la figure D-1. Sans revenir sur les problèmes de conception amplement traité dans les précédents chapitres on notera les quelques points suivants.

a) Préalables technologiques

Avant d'être sélectionnées les plaquettes doivent satisfaires à plusieurs contrôles :

- Contrôle optique permettant d'éliminer celles présentant des défauts flagrants : rayures, dislocations, piqures ...
- Caractérisation non destructive par profilométrie C-V à double goutte de mercure, permettant d'accéder aux paramètres fondamentaux de la couche :
  - . concentration en donneurs $8x10^{16} < N_D < 1.5x10^{17}$
  - . tension de seuil de la couche $-3\ V < V_{To} < -1.5\ V$
  - . sensibilité de la plaquette à une polarisation du substrat, susceptible d'induire des couplages entre les divers éléments du circuit (back-gating effect).

...

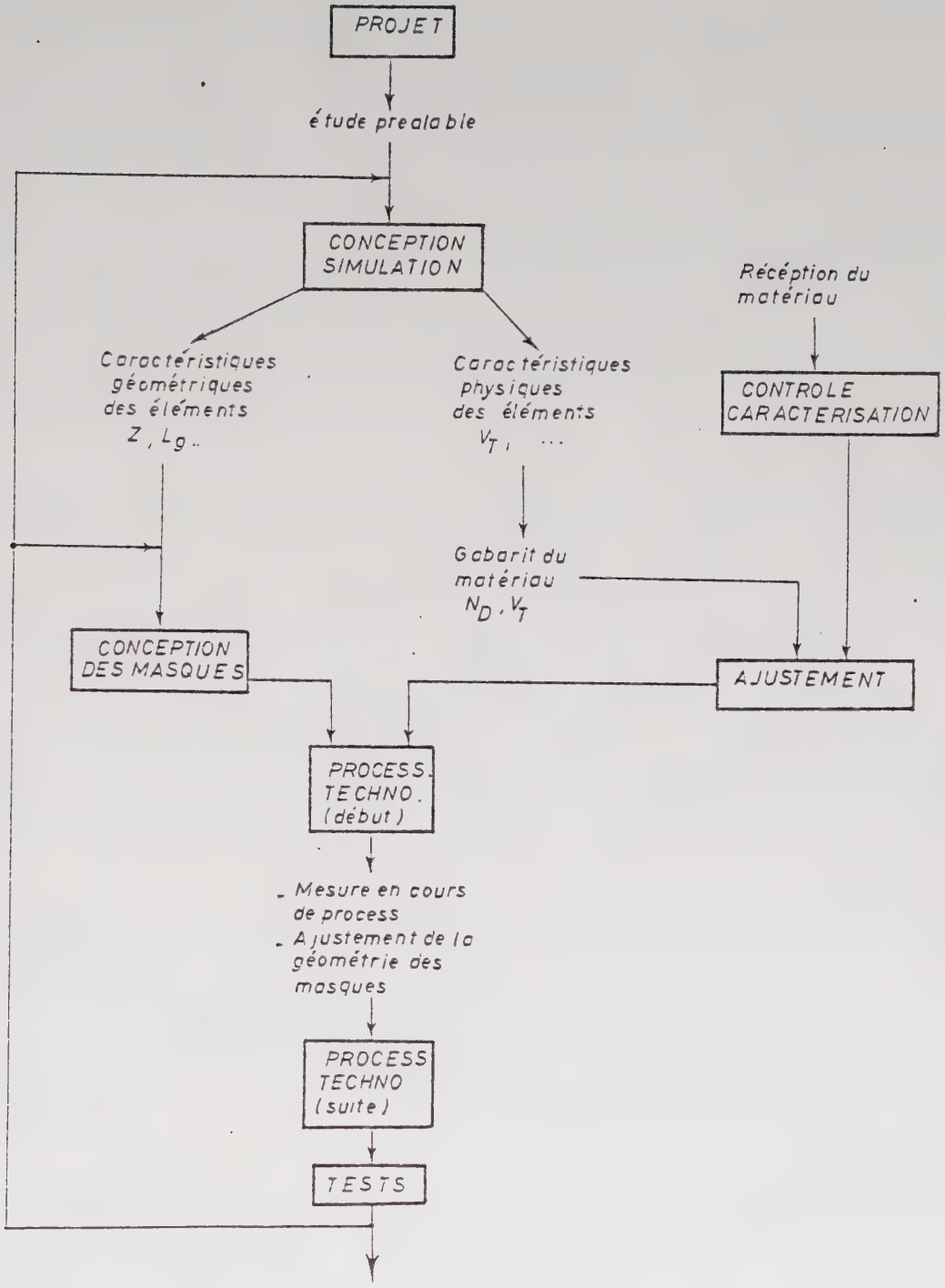

PROJET
étude préalable
CONCEPTION SIMULATION
Réception du matériau
Caractéristiques géométriques des éléments Z, Lg..
Caractéristiques physiques des éléments V_T, ...
CONTROLE CARACTERISATION
Gabarit du matériau N_D, V_T
CONCEPTION DES MASQUES
AJUSTEMENT
PROCESS. TECHNO. (début)
- Mesure en cours de process
- Ajustement de la géométrie des masques
PROCESS TECHNO (suite)
TESTS

Fig. D-1

Eventuellement, la plaquette peut être soumise à un ajustement d'épaisseur ayant pour but de ramener la tension de seuil au centre du gabarit fixé. Cette opération se fait généralement par oxydation anodique, la croissance de l'oxyde en surface se faisant aux dépens d'une consommation d'AsGa.

b) Conception des masques

Etape intermédiaire entre le conception électrique et la réalisation proprement dite, cette opération a pour but d'étudier l'implantation des différents éléments de façon à s'adapter au processus technologique. Dans le cadre qui nous intéresse les 4 "éléments constitutifs" du circuit peuvent être réalisés comme le montre la figure D-2.

- Transistors MESFET (Fig. D-2.a). Sur un ilôt mésa permettant l'isolement du composant, on dépose deux contacts ohmiques (le drain et la source). La grille Schottky traverse toute la zone médiane. La figure montre un élargissement de la grille à une extrémité, rendu nécessaire pour éviter tous risques de rupture lors de la descente des métallisations sur le substrat.

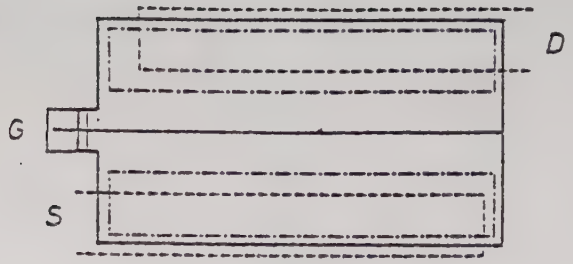
- Diodes (Fig. D-2.b). Sur ce composant, on réalise simplement un contact ohmique - la cathode -. L'électrode métallique d'accès à l'autre extrémité réalise la jonction Schottky - l'anode -.

- Les résistances (Fig. D-2.c). On réalise aux deux extrémités d'une portion de couche active, deux contacts ohmiques.
  Le rapport $\frac{\text{distance entre ces deux contacts}}{\text{largeur de la couche}}$ détermine la valeur de la résistance, en fonction des paramètres physiques de la couche (résistance par carré $R_{\square}$).

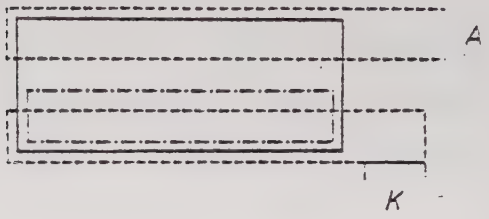
- Interconnexions (Fig. D-2.d). Les liaisons entre les composants s'effectuent au moyen de bandes de métal courant sur la zone située entre les ilôts. Dans le cas où un croisement est nécessaire on dispose, antérieurement au dépôt des interconnexions, une bande de métal que l'on recouvre d'un diélectrique sauf en deux points de contacts.

...

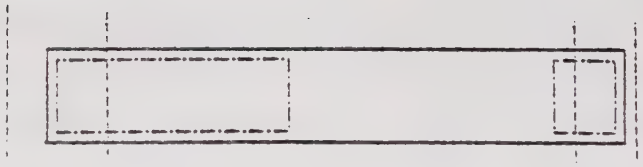
(a) FET



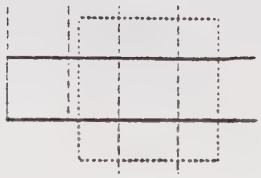
(b) DIODE



(c) RESISTANCE



(d) INTERCONNEXION (croisement)



Légende

îlot méso

métallisation

contact ohmique

silice

grille

1ère métallisation

Fig. I-8

L'étude de l'implantation consistera donc essentiellement en une astucieuse disposition des éléments de façon à faciliter la réalisation des différentes opérations du processus technologique. Celui-ci par les contraintes qu'il impose fixe les règles que l'on doit impérativement respecter. Par exemples :

- Longueur de grille $L_g > 0.5$ µm
- Distance source-drain $L_{SD} > 3.5$ µm
- Espacement entre 2 interconnexions > 3 µm
- Contacts ohmiques $L > 3$ µm

La non-détérioration des performances dynamiques sera aussi recherchée en minimisant le nombre de croisements des lignes, source de capacités parasites. Quantité d'autres critères entrent en ligne de compte lors de l'étude d'implantation, comme par exemple la largeur des lignes d'alimentation véhiculant un courant important.

L'étude des masques est grandement simplifiée par l'utilisation des puissants outils que l'informatique met à notre disposition (Conception Assistée par Ordinateur - CAO). La Figure C-3 représente l'organigramme d'un système classique d'élaboration des masques où les figures sont codées en un langage source, soit directement à partir du terminal et d'un éditeur de texte, soit en digitalisant une épreuve manuscrite. Ce fichier source sera ensuite traduit en binaire pour être incorporé à la base de donnée. Sous cette forme, un éditeur graphique rend les modifications (translation, rotation, symétries, agrandissement ...) très aisées. Différents programmes d'interfaces permettent alors des transferts vers les différents périphériques.

...

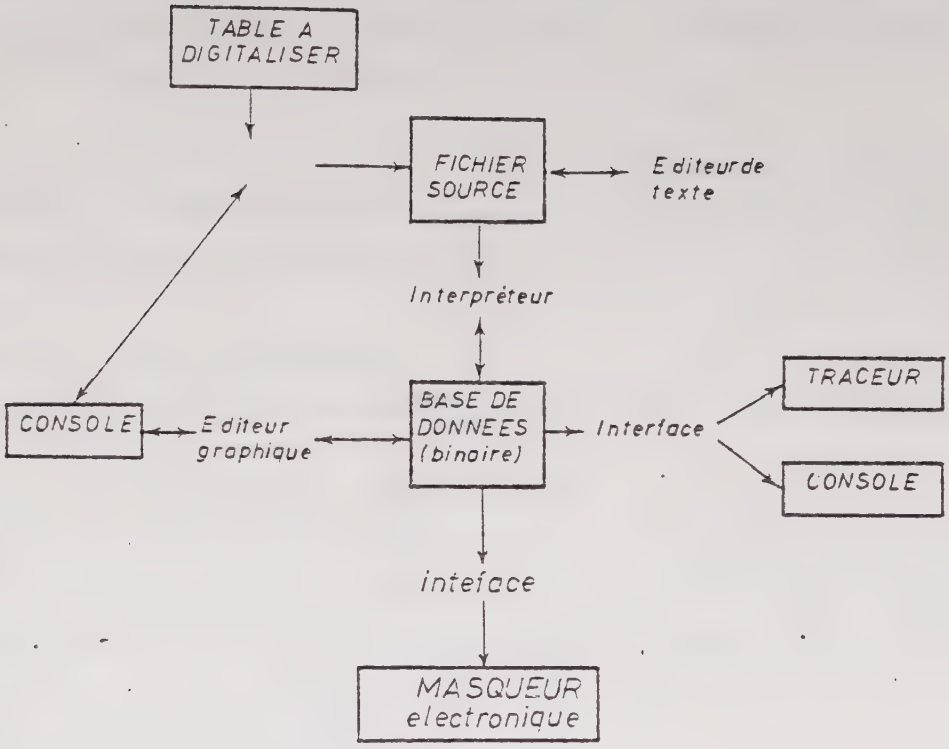


TABLE A DIGITALISER
FICHIER SOURCE
Editeur de texte
Interpréteur
CONSOLE
Editeur graphique
BASE DE DONNEES (binaire)
Interface
TRACEUR
CONSOLE
inteface
MASQUEUR electronique

Fig. D-3

D.2. EXEMPLE DE PROCESSUS TECHNOLOGIQUE

Il s'agit d'un processus à 5 grandes étapes qui se caractérise essentiellement par l'usage de la technologie lift-off pour définir à la fois les caractéristiques géométriques des dépôts mais aussi des usinages.

D.2.1. Isolement mésa (fig. D-4)

Le processus commence par un dépôt métallique sur la face arrière, dans le double but, de stabilisation thermique de l'interface substrat - couche active et de fixation du potentiel électrique du substrat.

Il se poursuit par le creusement des mésa et utilise pour protéger les zones à isoler , un dépôt d'aluminium. La technique utilisée pour déposer sélectivement ce métal peut se résumer ainsi :

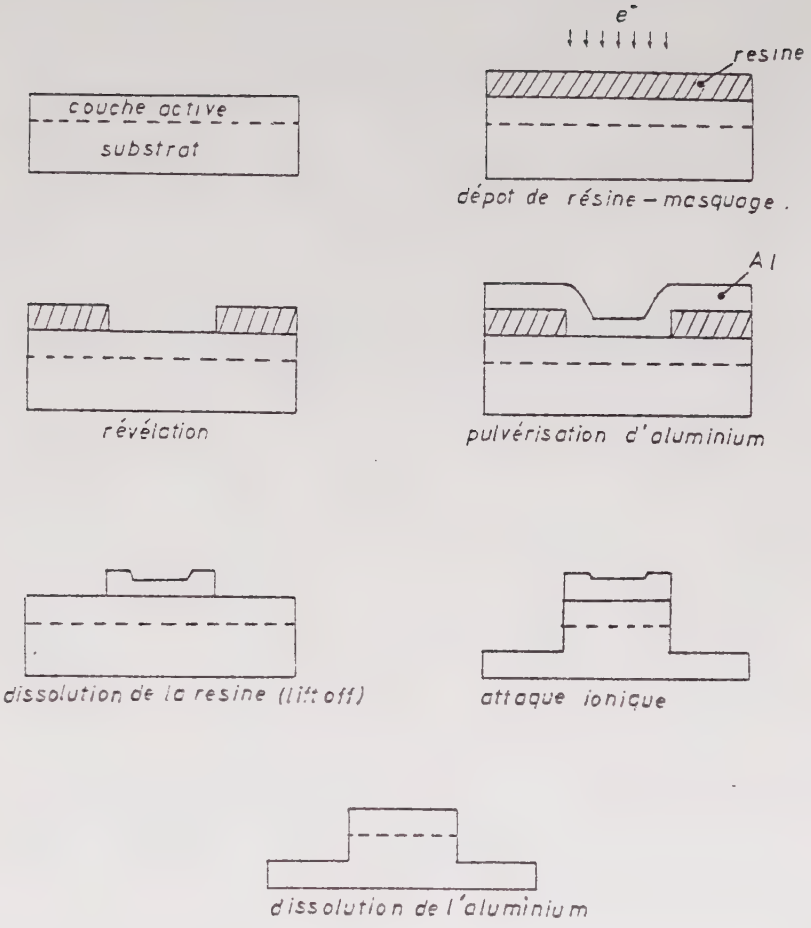
- dépôt de résine électrosensible
- masquage, c'est-à-dire bombardement électronique sélectif, suivant le dessin du masque mésa
- dissolution de la résine "électronisée"
- pulvérisation d'aluminium - qui se dépose sur toute la plaquette
- dissolution de la résine restante qui entraine la couche d'aluminium superficielle. C'est cette opération qui est appelée lift-off. Le métal doposé sur l'AsGa reste en place
- usinage ionique de la couche active
- dissolution de l'aluminium

D.2.2. Contact ohmique

Réalisation par lift-off des dépôts d'alliage or-germanium réalisant les contacts des électrodes de source et de drain des FET, des cathodes, des diodes, des accès aux résistances.

Des mesures sous pointes effectuées à ce stade peuvent permettre une caractérisation précise des paramètres de la couche et au besoin un ajustage des dimensions géométriques des résistances.

...



USINAGE DES ILOTS MESA

Fig. D-4

- A N N E X E E. -

TABLE DES SYMBOLES ET DES NOTATIONS

...

A. PARAMETRES PHYSIQUES APPARAISSANT DANS LE MODELE DE MESFET

E	champ électrique
E_c	champ électrique critique, (3.5 kV/cm)
v	vitesse de déplacement des porteurs (électrons)
μ	mobilité des électrons ($\simeq 4500$ à $N_D = 10^{17}$)
ε	permittivité du matériau ($\simeq 10^{-12}$)
ϕ_B	hauteur de barrière ($\simeq 0.7$)
V_{B_i}	potentiel de diffusion
Ψ_{SS}	potentiel électrostatique en surface du matériau
ρ	résistivité du matériau (Ω.cm)
f_T	fréquence de transition
q	charge de l'électron ($1.609\ 10^{-19}$ C)
N_D	niveau de donneur
$N(X)$	profil des impuretés donneuses
L_D	longueur de Debye
U_T	tension thermodynamique
$R_\square$	résistance par carrée de la couche

B. PARAMETRES GEOMETRIQUES APPARAISSANT DANS LE MODELE DE MESFET

a	épaisseur de la couche
Z	largeur du transistor
L_g	longueur de la grille dans le sens de déplacement des porteurs

...

L_{gs}	distance entre grille et	source
L_{gd}		drain

C. NOTATION DES DIFFERENTS COURANTS ET TENSIONS APPARAISSANT DANS LE MODELE DE MESFET

I_D	courant drain
I_S	courant source
I_{GS}	courant grille source
I_{GD}	courant grille drain
I_{max}	courant de drain maximum admissible
i	courant de drain normalisé par rapport au courant maximum
V_P	tension de pincement aux bornes de la jonction
V_T	tension grille source de pincement (ou de seuil)
V_{GS}	tension grille source
V_{GD}	tension grille drain
V_{DS}	tension drain source
u_S	tension source grille normalisée $(V_{BI} - V_{SG})/V_P$
u_D	tension drain grille normalisée $(V_{BI} - V_{DG})/V_P$
u_{DS}	tension drain source normalisée V_{DS}/V_P

D. ELEMENTS PARASITES APPARAISSANT DANS LE MODELE DE MESFET

R_c	résistance de contact
f_c	facteur de contact
R_g	résistance de grille
R_{acc_s}	résistance d'accès côté source

...

R_{acc_d}	résistance d'accès côté drain
g_c	conductance parasitée après saturation du courant
C_{gs}, C_{gd}	capacité de jonction grille | source / drain
C_{bs}, C_{bd}	capacité de bord de la jonction côté | source / drain
C_{ds}	capacité électrostatique entre drain et source

E. FONCTIONS DIVERSES APPARAISSANT DANS LA DESCRIPTION DES MESFET

γ^{**}	facteur de pente intrinsèque idéal
γ^{*}	facteur de pente extrinsèque avec résistance d'accès nulle
γ	facteur de pente extrinsèque
Ω	facteur dépendant de la tension grille source et qui exprime la valeur du courant après saturation de la vitesse des porteurs
$S(X)$	fonction de Shockley : $X\ (3 - 2\sqrt{X})$

F. GRANDEURS CARACTERISANT UN CIRCUIT LOGIQUE

V_e	niveau d'entrée
V_s	niveau de sortie
V_1	niveau haut (ou "1")
V_0	niveau bas (ou "0")
E_L	excursion logique

...

mb_1	marge d'immunité au bruit	haute
mb_0		basse

G_{max}	gain maximum (dV_s/dV_e) d'une porte dans son régime linéaire
d	tension aux bornes d'une diode (≃ 0.7)
r	tension résiduelle entre drain et source d'un FET passant (≃ 0.25 V)
P	puissance statique dissipée dans la porte
t_{pd}	temps de propagation à travers une porte logique
M	facteur de mérite $P.t_{pd}$
I_{res}	courant résiduel dans un transistor quasi pincé

G. TEMPS CARACTERISTIQUES D'UN CIRCUIT MEMOIRE

Δ	retard engendré par un étage du circuit
t_{adr}	temps nécessaire à la sélection d'un groupe de cellules
t_{ecr}	durée de l'opération d'écriture
t_{acc}	temps d'accès
t_m	temps de maintien

H. SYMBOLES APPARAISSANT DANS LA TOPOLOGIE DES CIRCUITS MEMOIRE

N_X N_Y	nombre de points mémoire en X et en Y
N_1 N_2 ..	noeuds d'accès aux points mémoire
L_m	ligne de mot ("word line" : W_L)
L_b	ligne de bit ("bit line" : B_1)

...

I_{cel}, I_{cel_0}, I_{cel_1}	courant fourni par 1 point mémoire (non adressé, adressé)
I_{lm}	courant total circulant dans une ligne de mot
Δ_L	excursion logique d'une porte
Δ_e	différence de niveau entre les noeuds d'accès d'un point mémoire
Δ_s	différence de niveau entre les 2 lignes de bit
V_{adr}	niveau sur une ligne de mot pour adresser une cellule
V_{ndr}	" " " " désadresser "